

BEST AVAILABLE COPY

Docket No.: 57454-138

PATENT

JC971 U.S. PTO

09/877027



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Yasuhiko TSUKIKAWA

Serial No.:

Group Art Unit:

Filed: June 11, 2001

Examiner:

For: CONFIGURATION FOR GENERATING A CLOCK INCLUDING A DELAY CIRCUIT
AND METHOD THEREOF

#3
Priority
12 10 2
US

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2000-385020, filed December 19, 2000

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:prp
Date: June 11, 2001
Facsimile: (202) 756-8087

57454-138
Y. TSUKIKAWA
June 18, 2001

日 本 国 特 許 庁 *McDermott, Will & Emery*
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

JC971 U.S. PTO
09/877027
06/11/01

出 願 年 月 日
Date of Application: 2000年12月19日

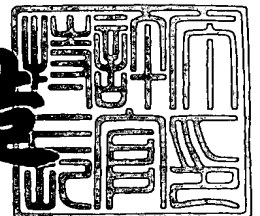
出 願 番 号
Application Number: 特願2000-385020

出 願 人
Applicant (s): 三菱電機株式会社

2001年 1月26日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3000916

【書類名】 特許願

【整理番号】 528346JP01

【提出日】 平成12年12月19日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 7/00

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 月川 靖彦

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091409

【弁理士】

【氏名又は名称】 伊藤 英彦

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100096792

【弁理士】

【氏名又は名称】 森下 八郎

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ディレイロックドループ、当該ディレイロックドループを含む半導体装置およびクロック同期により動作するシステムのための制御方法

【特許請求の範囲】

【請求項 1】 第 1 クロックを遅延して第 2 クロックを出力する遅延回路と

前記第 1 クロックと前記第 2 クロックとの位相差を検出する検出器と、

前記検出器の出力に応じて前記遅延回路の遅延量を調整する信号を発生する、
グレイコードを用いたグレイコードカウンタとを備える、ディレイロックドループ。

【請求項 2】 前記グレイコードカウンタは、

前記グレイコードを格納するグレイコードレジスタと、

前記グレイコードをバイナリコードに変換するバイナリコード変換器と、

前記バイナリコード変換器に格納されるバイナリコードによりアップキャリー信号とダウンキャリー信号とを発生するアップキャリー／ダウンキャリー発生器と、

前記検出器の結果に応じて、前記アップキャリー信号および前記ダウンキャリー信号から、前記グレイコードレジスタにおけるグレイコードを更新するためのキャリー信号を発生するキャリーマルチプレクサとを含む、請求項 1 に記載のディレイロックドループ。

【請求項 3】 前記遅延回路は、

ファイン遅延素子と、

前記ファイン遅延回路よりも単位あたりの遅延量が大きいコース遅延素子とを含み、

前記ファイン遅延素子は、前記バイナリコード変換器に格納される前記バイナリコードにより遅延量が調整され、

前記コース遅延素子は、前記グレイコードレジスタに格納される前記グレイコードにより遅延量が調整される、請求項 2 に記載のディレイロックドループ。

【請求項 4】 外部クロックを受けて第 1 の内部クロックを出力する入力バ

ツファと、

前記第 1 の内部クロックを遅延して第 2 の内部クロックを出力する遅延回路と

前記第 1 の内部クロックと前記第 2 の内部クロックとの位相差を検出する検出器と、

前記検出器の出力に応じて前記遅延回路の遅延量を調整する信号を発生する、グレイコードを用いたグレイコードカウンタとを含むディレイロックドループを備える、半導体装置。

【請求項 5】 前記グレイコードカウンタは、

前記グレイコードを格納するグレイコードレジスタと、

前記グレイコードをバイナリコードに変換するバイナリコード変換器と、

前記バイナリコード変換器に格納されるバイナリコードによりアップキャリー信号とダウンキャリー信号とを発生するアップキャリー／ダウンキャリー発生器と、

前記検出器の結果に応じて、前記アップキャリー信号および前記ダウンキャリー信号から、前記グレイコードレジスタにおけるグレイコードを更新するためのキャリー信号を発生するキャリーマルチプレクサとを含む、請求項 4 に記載の半導体装置。

【請求項 6】 前記遅延回路は、

ファイン遅延素子と、

前記ファイン遅延回路よりも単位あたりの遅延量が多いコース遅延素子とを含み、

前記ファイン遅延素子は、前記バイナリコード変換器に格納される前記バイナリコードにより遅延量が調整され、

前記コース遅延素子は、前記グレイコードレジスタに格納される前記グレイコードにより遅延量が調整される、請求項 5 に記載の半導体装置。

【請求項 7】 前記第 2 の内部クロックに応じて動作する、信号を外部から受ける入力回路をさらに備える、請求項 5 に記載の半導体装置。

【請求項 8】 複数のメモリセルを含むメモリセルアレイをさらに備え、

前記入力回路は、前記メモリセルアレイにおけるデータ書込／読出のための信号を受ける、請求項 7 に記載の半導体装置。

【請求項 9】 前記第 2 の内部クロックに応じて動作する、信号を外部に出力するための出力回路をさらに備える、請求項 5 に記載の半導体装置。

【請求項 1 0】 複数のメモリセルを含むメモリセルアレイをさらに備え、前記出力回路は、前記メモリセルアレイから読出したデータを外部に出力する、請求項 9 に記載の半導体装置。

【請求項 1 1】 第 1 の外部クロックと前記第 1 の外部クロックと位相が相補になっている第 2 の外部クロックとが少なくとも入力され、前記第 1 の外部クロックの電位と前記第 1 の外部クロックの電位とが等しくなる前記第 1 の外部クロックの立上がりエッジのタイミングにおいて第 1 の内部クロックを出力する第 1 の入力バッファと、

前記第 1 の外部クロックと前記第 2 の外部クロックとが少なくとも入力され、前記第 1 の外部クロックの電位と前記第 1 の外部クロックの電位とが等しくなる前記第 2 の外部クロックの立上がりエッジのタイミングにおいて第 2 の内部クロックを出力する第 2 の入力バッファと、

前記第 1 の内部クロックを遅延して第 3 の内部クロックを出力する第 1 の遅延回路と、

前記第 2 の内部クロックを遅延して第 4 の内部クロックを出力する第 2 の遅延回路と、

前記第 1 の内部クロックと前記第 3 の内部クロックとの位相差を検出する検出器と、

前記検出器の出力に応じて前記第 1 の遅延回路の遅延量と前記第 2 の遅延回路の遅延量とを調整する信号を発生するグレイコードを用いたグレイコードカウンタとを含むディレイロックドループを備える、半導体装置。

【請求項 1 2】 前記第 3 の内部クロックおよび前記第 4 の内部クロックに応じて動作する、信号を外部に出力するための出力回路をさらに備える、請求項 1 1 に記載の半導体装置。

【請求項 1 3】 複数のメモリセルを含むメモリセルアレイをさらに備え、

前記出力回路は、前記メモリセルアレイから読出したデータを第 3 および第 4 の内部クロックに応じて外部に出力する、請求項 1 2 に記載の半導体装置。

【請求項 1 4】 クロック同期により動作するシステムのための制御方法であって、

外部クロックを受けて第 1 の内部クロックを発生する入力バッファステップと

前記第 1 の内部クロックを遅延して第 2 の内部クロックを出力する遅延ステップと、

前記第 1 の内部クロックと前記第 2 の内部クロックとの位相差を検出する検出ステップと、

グレイコードを用いて、前記検出ステップにおける検出結果に応じて前記遅延ステップにおける遅延量を決定するステップとを備える、クロック同期により動作するシステムのための制御方法。

【請求項 1 5】 前記遅延量を決定するステップは、

前記グレイコードをバイナリコードに変換するバイナリコード変換ステップと

前記バイナリコードによりアップキャリー信号とダウンキャリー信号とを発生するアップキャリー／ダウンキャリー発生ステップと、

前記検出ステップの結果に応じて、アップキャリー信号および前記ダウンキャリー信号から前記グレイコードを更新するためのキャリー信号を発生するステップを含む、請求項 1 4 に記載のクロック同期により動作するシステムのための制御方法。

【請求項 1 6】 前記第 2 の内部クロックに応じてデータを外部に出力するステップをさらに備える、請求項 1 5 に記載のクロック同期により動作するシステムのための制御方法。

【請求項 1 7】 前記第 2 の内部クロックに応じて外部からデータを受けるステップをさらに備える、請求項 1 5 に記載のクロック同期により動作するシステムのための制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、クロック同期により動作するシステムにおいて同期を正確にとるために用いられるディレイロックドループ、当該ディレイロックドループを含む半導体装置およびクロック同期により動作するシステムのための制御方法に関するものである。

【0002】

【従来の技術】

クロック同期によって動作するシステムにおいて、ある部品がクロックに同期した読出命令を受取ってから、当該読出命令に応答して読出データをクロック同期してシステムバスに返す場合を考える。なお、以下において記号 ADR は、バイナリコードを示す。また、記号 $ADR < k >$ は、バイナリコードにおける k ビット目を意味し、レジスタ値 $ADR < k >$ またはバイナリコード $ADR < k >$ と称す。

【0003】

システムクロック周期を“ T ”とし、部品が読出命令を受取ってから読出データを準備するために T_0 だけ時間を要するとする。クロック周期 T と期間 T_0 との大小関係は問わないものとし、ある整数 N に対し、 $N \times T \leq T_0 < (N + 1) \times T$ という関係が成り立っているものとする。この場合の出力の方法としては、以下の方法が考えられている。

【0004】

図17を参照して、時刻 t_1 (クロック CLK_{ext} の立上がりエッジ0) においてクロック CLK_{ext} に同期して読出命令が発せられ、読出データが準備され、次のクロック CLK_{ext} の立上がりエッジ1 (時刻 t_2 : $t_2 = t_1 + T$) に同期してデータが出力されている。

【0005】

部品がクロック CLK_{ext} を受取ってから、準備されたデータを出力バッファに出力するまでには T_d だけ時間を要する。このため、クロックエッジ1よりも実際の出力データは T_d だけ遅れて出力される。

【0006】

期間 T_d の内訳としては、図18に示すように、部品内部において出力バッファを駆動するクロック CLK_{in} をクロック CLK_{ext} から発生するための時間 T_{in} と、クロック CLK_{in} によって出力バッファが動作し始めてから出力負荷であるシステムバスを所定の論理閾値を超えるまで駆動するための出力バッファ駆動時間 T_{out} とが含まれる($T_d = T_{in} + T_{out}$)。

【0007】

したがって、当該システムにおいては、実際にはクロックエッジ1よりも T_d だけ遅れてからでないとデータはシステムバスに出力されないため、次のクロックエッジ2においてデータを取込むようにシステムを設計することになる。

【0008】

このような動作である場合、システムクロック周期 T が T_d に比べて等しい、または T が T_d よりも小さいくらいまで高周波になってくると、図19に示すような問題が生じる。図19においては、クロックエッジ1においてデータが出力し始めたにもかかわらず、遅延時間 T_d が T よりも大きいため、クロックエッジ2においてまだデータがバス上に伝達されていない。したがって、次のクロックエッジ3まで待たないとシステムはデータを取込むことができない。言換えると、クロックエッジ2においてデータを取込むような設計のままだと、システムが誤動作を起こすことになる。

【0009】

特に、近年開発されているDDR・SDRAM（ダブルデータレート・シンクロナスダイナミックランダムアクセスメモリ）においては、クロックの立上がりエッジと立下がりエッジとの両方でデータを出力する。このため、図20に示すように、上記した出力手法をDDR・SDRAMに適用したならば、クロック周期の $1/2$ が T_d とほぼ等しくなる時点で上記問題と同じ問題が顕在化することになる。

【0010】

このような問題点を解決するために従来用いられているのが、ディレイ・ロックド・ループ（以下、DLLと記す）である。DLLを用いた部品においては、

図 2 1 に示すように、部品がシステムクロック CLK_{ext} を受取って、当該システムクロック CLK_{ext} を部品内部で遅延素子により T_{d111} だけ遅延させる。そして、システムクロックの立上がりエッジよりも出力バッファ駆動時間相当の時間 ($T_{out}' = T_{out}$) だけ手前で立上がるような内部クロック CLK_{in2} を発生する。

【0011】

内部クロック CLK_{in2} を用いて出力バッファを駆動することにより、システムクロック CLK_{ext} のエッジで読出データがバス上に出力されているという状態が実現できる。すなわち、 $T_{d111} + T_{out}' = m \times T$ (m は、1 以上の整数) が成立する。

【0012】

このように、DLL は出力タイミングをクロックに同期させることができる。同様に、部品がシステムバスから各種制御信号や入力データを取込むための入力バッファに対しても DLL を用いることができる。

【0013】

DLL を用いない場合の入力バッファの動作タイミングを、図 2 2 を用いて説明する。図 2 2 に示されるように、DLL を用いない入力バッファにおいては、クロック CLK_{ext} を受けてから部品内部で内部クロック CLK_{in} を発生するのに T_{in} だけの時間を要している。

【0014】

このため、外部から入力される制御信号 SIG は、 T_{in} 相当の時間 T_{in} だけ内部で遅れた信号 SIG_{in} になり、信号 SIG_{in} は内部クロック CLK_{in} のエッジタイミングでラッチ回路 910 によりラッチされ確定することになる。図において、確定した制御信号を示している。

【0015】

ラッチ回路 910 は、図 2 3 に示すように、インバータ $IV1 \sim IV4$ および NAND 回路 $N1 \sim N4$ を含む。インバータ $IV1, IV3$ は、内部クロック CLK_{in} および当該内部クロック CLK_{in} を反転したクロック $\neg CLK_{in}$ に応じて動作する。

【0016】

したがって、DLLを用いない場合、システムクロックCLK_{ext}のエッジよりもT_{in}以上遅れてからでないと部品は制御信号を使用することができず、部品自体が高速動作に適さなくなる。

【0017】

このような遅延を補償するため、上記したDLLを用いることになる。DLLを用いた動作波形について、図24を用いて説明する。図24を参照して、システムクロックCLK_{ext}を部品内部で遅延素子によりT_{d112}だけ遅延させ、システムクロックCLK_{ext}のエッジと同じ位置にエッジを持つ内部クロックCLK_{in3}を生成する。そして、当該内部クロックCLK_{in3}を制御信号SIGをラッチするために用いたとすれば、上記した場合よりも、T_{in}相当分だけの時間だけ早く制御信号SIGをラッチすることができる。これにより高速動作に適したシステム設計となる。この場合、上記した説明により $T_{d112} = m \times T$ が成立する。

【0018】

ここで、従来から用いられてきたDLLを構成する回路の構成例を、図25を用いて説明する。従来のDLL9000は、図25に示すように、クロックバッファ1、ファイン遅延素子3、コース遅延素子5、デコーダ70、遅延レジスタであるバイナリカウンタ80、位相比較器9、タイミングクロック発生器10、パルス発生器11およびレプリカ回路13を含む。

【0019】

外部クロックCLK_{ext}がクロックバッファ1に入力される。クロックバッファ1は、クロックBUFFCLKを出力する。外部クロックCLK_{ext}からクロックBUFFCLKまでの時間はT_{in}である。

【0020】

クロックBUFFCLKは、ファイン遅延素子3に入力される。ファイン遅延素子3は、クロックBUFFCLKをT_{fine}だけ遅らせて、クロックCLK_Aを出力する。クロックBUFFCLKからクロックCLK_Aまでの遅延時間T_{fine}は可変であって、ファイン遅延素子3に入力される3ビットのレジスタ

値 $ADR < 0 : 2 >$ の値によって微小な刻み T_f (約 40 psec 刻み) で変化する。

【0021】

クロック $CLKA$ はコース遅延素子 5 に入力される。コース遅延素子 5 は、クロック $CLKA$ を T_{coarse} だけ遅らせて、クロック $CLKB$ を出力する。クロック $CLKA$ からクロック $CLKB$ までの遅延時間 T_{coarse} は可変であって、6 ビットのレジスタ値 $ADR < 3 : 8 >$ によって粗い刻み T_c で変化する。なお、 T_c は、 T_f の 8 倍の大きさに設定しておく。

【0022】

ファイン遅延素子 3 およびコース遅延素子 5 の遅延量を決定するレジスタ値は、バイナリカウンタ 80 から出力される。

【0023】

クロックがファイン遅延素子 3 とコース遅延素子 5 とを通過するのに、回路構成上、少なくとも遅延時間 T_x がかかる。ファイン遅延素子 3 とコース遅延素子 5 とを通過する以上、たとえばレジスタ値が最短遅延時間の値であったとしても T_x だけ遅延してしまう。

【0024】

さて、従来の DLL は、ファイン遅延素子 3 およびコース遅延素子 5 のいずれにおいても、バイナリコードにより遅延時間を設定していた。一例としては、ファイン遅延素子 3 における遅延時間は、レジスタ値 $ADR < 0 : 2 >$ が “001” だと T_f 、“010” だと $2T_f$ 、“011” だと $3 \times T_f$ になる。また、コース遅延素子 5 における遅延時間は、レジスタ値 $ADR < 3 : 8 >$ が “000111” だと $7 \times T_c$ 、“001000” だと $8 \times T_c$ になる。

【0025】

したがって、上記した回路構成上発生する遅延時間 T_x も考慮に入れると、 T_{coarse} を決定するレジスタ値が “001001” であり T_{fine} を決定するレジスタ値が “011” の場合、クロック $BUFFCLK$ からクロック $CLKB$ までのトータルの遅延時間は、 $T_{fine} + T_{coarse} = T_x + 3 \times T_f + 9 \times T_c$ になる。

【 0 0 2 6 】

以降の説明において、コース遅延素子5に入力されるレジスタ値が“0 0 1 0 0 1”であり、ファイン遅延素子3に入力されるレジスタ値が“0 1 1”の場合には、レジスタ値“0 0 1 0 0 1 0 1 1”と表記する。

【 0 0 2 7 】

クロックCLKBは、出力バッファ駆動用の内部クロックCLKin2と入力バッファ駆動用の内部クロックCLKin3とを発生するパルス発生器11およびレプリカ回路13に入力されている。内部クロックCLKin2は、図21で説明した役割を果たす。これにより、外部クロックCLKextの立上がりエッジで出力バッファの出力がシステムバスに伝達されることになる。

【 0 0 2 8 】

レプリカ回路13は、入力バッファ遅延時間Tinと出力バッファ駆動時間Toutとの和を模擬した固定遅延時間(Tin' + Tout')だけクロックCLKBを遅らせて、クロックFBCLKを発生する。

【 0 0 2 9 】

したがって、クロックBUFFCLKからクロックFBCLKまでの遅延時間は、Tfine + Tcoarse + Tin' + Tout' となる。上記した外部クロックCLKextからクロックFBCLKの発生に至るまでの各種信号の関係は、図26に示すとおりである。

【 0 0 3 0 】

ここで、DLLが、所望の遅延時間を満たすように動作している場合の波形について図27を用いて説明する。図27に示す例では、クロックBUFFCLKの立上がりエッジとクロックFBCLKとの立上がりエッジが同時になっている。クロックBUFFCLKよりもTinだけ前に外部クロックCLKextがあり、クロックFBCLKよりも(Tin' + Tout')だけ前に内部クロックCLKin2の立上がりエッジがある。このため、外部クロックCLKextの立上がりエッジよりもTout'だけ前に内部クロックCLKin2の立上がりエッジがあることになる。これは、上述した図21において説明したタイミングに相当している。ここで、Tin = Tin'、Tout = Tout' となるよう

にレプリカ回路 1 3 における遅延時間は設計されている。

【 0 0 3 1 】

ここで、DLL の最適遅延時間を決定するためにはクロック BUFFCLK とクロック FBCLK との立上がりエッジの先後を検出する回路が必要になる。これが、図 2 5 に示される位相比較器 9 である。位相比較器 9 は、クロック BUFFCLK とクロック FBCLK との位相差を検出して、信号 UPF, DNF を出力する。

【 0 0 3 2 】

ここで、信号 UPF, DNF について、図 2 8 (a) , 図 2 8 (b) を用いて説明する。クロック FBCLK の位相がクロック BUFFCLK の位相よりも進んでいる場合、図 2 8 (a) に示すように、位相比較器 9 の出力は「アップ」 (UPF = “H”、DNF = “L”) になる。また、クロック FBCLK の位相がクロック BUFFCLK の位相よりも遅れている場合には、図 2 8 (b) に示すように、位相比較器 9 の出力は「ダウン」 (DNF = “H”、UPF = “L”) になる。

【 0 0 3 3 】

位相比較器 9 の構成の一例を図 3 0 に示す。位相比較器 9 は、図 3 0 に示すように、NAND 回路 N 5 ~ N 1 0 を含む。NAND 回路 N 5 に入力されるクロック BUFFCLK と NAND 回路 N 6 に入力されるクロック FBCLK とにより、NAND 回路 N 9 から信号 UPF が、NAND 回路 N 1 0 から信号 DNF がそれぞれ出力される。

【 0 0 3 4 】

図 2 5 を参照して、タイミングクロック発生器 1 0 は、信号 UPF, DNF を受けて、カウンタ更新クロック CLKCNT とアップ信号 UP とダウン信号 DN とを発生する。

【 0 0 3 5 】

バイナリカウンタ 8 0 は、カウンタ更新クロック CLKCNT に応じて、アップ信号 UP, ダウン信号 DN に基づき、レジスタ値 $ADR < 0 : 2 >$, $ADR < 3 : 8 >$ を出力する。

【0036】

位相比較器9の出力が「アップ」であると、レジスタ値が増加する。たとえば、“0000000010”が、“0000000011”になる。また、位相比較器9の出力が「ダウン」であると、レジスタ値が減少する。たとえば、“0000000011”が、“0000000010”になる。

【0037】

デコーダ70は、レジスタ値 $ADR<3:8>$ をデコードする。デコーダ70は、図29に示すように、AND回路90#0～90#7および91#0～91#15を含む。

【0038】

AND回路90#0は、バイナリコード $ADR<0>$ を反転したバイナリコード/ $ADR<0>$ と、バイナリコード $ADR<1>$ を反転したバイナリコード/ $ADR<1>$ とを受け、AND回路90#1は、バイナリコード $ADR<0>$ とバイナリコード/ $ADR<1>$ とを受ける。

【0039】

AND回路90#2は、バイナリコード/ $ADR<0>$ と、バイナリコード $ADR<1>$ とを受け、AND回路90#3は、バイナリコード $ADR<0>$ とバイナリコード $ADR<1>$ とを受ける。

【0040】

AND回路90#4は、バイナリコード $ADR<2>$ を反転したバイナリコード/ $ADR<2>$ と、バイナリコード $ADR<3>$ を反転したバイナリコード/ $ADR<3>$ とを受け、AND回路90#5は、バイナリコード $ADR<2>$ とバイナリコード/ $ADR<3>$ とを受ける。

【0041】

AND回路90#6は、バイナリコード/ $ADR<2>$ と、バイナリコード $ADR<3>$ とを受け、AND回路90#7は、バイナリコード $ADR<2>$ とバイナリコード $ADR<3>$ とを受ける。

【0042】

AND回路91# i ($i = 0 \sim 3$)は、AND回路90# i の出力 $X<i>$ と

AND回路90#4の出力 $X<4>$ とを入力に受ける。AND回路91# $i+4$ ($i=0\sim3$)は、AND回路90# i の出力 $X<i>$ とAND回路90#5の出力 $X<5>$ とを受ける。AND回路91# $i+8$ ($i=0\sim3$)は、AND回路90# i の出力 $X<i>$ とAND回路90#6の出力 $X<6>$ とを入力に受ける。AND回路91# $i+12$ ($i=0\sim3$)は、AND回路90# i の出力 $X<i>$ とAND回路90#7の出力 $X<7>$ とを受ける。AND回路91# k ($k=0\sim15$)の出力に応じて、コース遅延素子5の遅延段数(たとえば、 k 個)が決定される。ここでは4ビットバイナリデコーダについて例示したが、 $ADR<3>\sim ADR<8>$ を受ける6ビットバイナリデコーダも同様の回路により実現されることは当業者によって容易に理解されるところである。

【0043】

外部クロックを遅延しすぎると、出力「ダウン」により遅延時間が短くなり、遅延が足りなくなると出力「アップ」により遅延時間が長くなる。この結果、DLL9000は、所望の遅延時間で安定することになる。

【0044】

DLLは、このように、クロックBUFFCLKとクロックFBCLKとの立上がりエッジの先後を検出しつつ、クロックBUFFCLKとクロックFBCLKとの立上がりエッジが同時になる状態を保持するよう遅延素子3および5の遅延時間を適宜調節する。

【0045】

【発明が解決しようとする課題】

ところで、図28(a)および図28(b)のように位相差が明確である場合には何の問題も生じない。しかしながら、DLL9000は上記したようにクロックBUFFCLKとクロックFBCLKとの位相差をモニタし、位相差がほとんどない状態を保持するように遅延素子3および5を調整すべく動作せねばならない。

【0046】

したがって、必然的にDLL9000が動作している通常状態では、クロックBUFFCLKとクロックFBCLKとの位相差はほとんどない。このような場

合には、位相比較器 9 は、「アップ」または「ダウン」のいずれかを出力するべきなのかを決定するのに非常に長い時間を要する状態がある確率で発生する。

【0 0 4 7】

これは、位相比較器 9 を含めフリップフロップ一般について言えることで、メタステーブル状態として知られている現象である。

【0 0 4 8】

しかしながら、「CMOS 超 L S I の設計」（培風館、1 9 8 9 年刊、p. 1 2 8）にあるように、メタステーブル状態の発生確率を完全に 0 にすることは現実的に不可能である。このような場合に、従来のようなバイナリカウンタ 8 0 を用いると誤動作を起こす可能性がある。

【0 0 4 9】

たとえば、現在のレジスタ値が“0 1 1 1 1 1 1 1”である場合、次のレジスタ値は、「アップ」であれば“1 0 0 0 0 0 0 0”になるが、「ダウン」であれば、“0 1 1 1 1 1 1 0”になる。

【0 0 5 0】

つまり、この例では M S B ビットから L S B ビットの 1 つ手前までの合計 8 ビットの状態が、「アップ」か「ダウン」かによって異なることになる。言換えると、「アップ」なら、9 ビットのキャリーが“1”なのに、「ダウン」であるならば、L S B ビット以外のキャリーは“0”であり、「アップ」か「ダウン」かでキャリーの値が大きく異なる。

【0 0 5 1】

こうした瞬間にメタステーブル状態が発生すると、位相比較器 9 は、「アップ」か「ダウン」か、すなわちレジスタのキャリーは“0”なのか“1”なのか不定になる。この結果として、次のレジスタ状態が不定になる。実際には、次のレジスタ状態はランダムな値になる。

【0 0 5 2】

すなわち、D L L の遅延時間がある値から突然大きく異なる別の値に変わってしまうという結果をもたらす。たとえば、レジスタ値が“0 1 1 1 1 1 1 1”から“0 1 0 1 0 1 0 1 0”になった場合には、遅延素子の遅延時間 T c o a r s

$e + T_{fine}$ は $31 \times T_c + 7 \times T_f$ から $21 \times T_c + 2 \times T_f$ になる。

【0053】

したがって、所望の遅延状態で安定していたはずのDLLにおいて、遅延時間が、突然大きくずれてしまい、系全体が誤動作状態を起こしてしまう。

【0054】

そこで、本発明はかかる問題を解決するためになされたものでありその目的は、不連続な遅延の飛びを最小化することができるディレイロックドループおよび当該ディレイロックドループを備える半導体装置を提供する。

【0055】

【課題を解決するための手段】

この発明のある局面によるディレイロックドループは、第1クロックを遅延して第2クロックを出力する遅延回路と、前記第1クロックと前記第2クロックとの位相差を検出する検出器と、前記検出器の出力に応じて前記遅延回路の遅延量を調整する信号を発生する、グレイコードを用いたグレイコードカウンタとを備える。

【0056】

好ましくは、グレイコードカウンタは、グレイコードを格納するグレイコードレジスタと、グレイコードをバイナリコードに変換するバイナリコード変換器と、バイナリコード変換器に格納されるバイナリコードによりアップキャリー信号とダウンキャリー信号とを発生するアップキャリー／ダウンキャリー発生器と、検出器の結果に応じて、アップキャリー信号およびダウンキャリー信号から、グレイコードレジスタにおけるグレイコードを更新するためのキャリー信号を発生するキャリーマルチプレクサとを含む。

【0057】

特に、遅延回路は、ファイン遅延素子と、ファイン遅延回路よりも単位あたりの遅延量が多いコース遅延素子とを含み、ファイン遅延素子は、バイナリコード変換器に格納されるバイナリコードにより遅延量が調整され、コース遅延素子は、前記グレイコードレジスタに格納されるグレイコードにより遅延量が調整される。

【 0 0 5 8 】

この発明のある局面による半導体装置は、外部クロックを受けて第1の内部クロックを出力する入力バッファと、第1の内部クロックを遅延して第2の内部クロックを出力する遅延回路と、第1の内部クロックと第2の内部クロックとの位相差を検出する検出器と、検出器の出力に応じて遅延回路の遅延量を調整する信号を発生する、グレイコードを用いたグレイコードカウンタとを含むディレイロックスドループを備える。

【 0 0 5 9 】

好ましくは、グレイコードカウンタは、グレイコードを格納するグレイコードレジスタと、グレイコードをバイナリコードに変換するバイナリコード変換器と、バイナリコード変換器に格納されるバイナリコードによりアップキャリー信号とダウンキャリー信号とを発生するアップキャリー／ダウンキャリー発生器と、検出器の結果に応じて、アップキャリー信号およびダウンキャリー信号から、グレイコードレジスタにおけるグレイコードを更新するためのキャリー信号を発生するキャリーマルチプレクサとを含む。

【 0 0 6 0 】

特に、遅延回路は、ファイン遅延素子と、ファイン遅延回路よりも単位あたりの遅延量が多いコース遅延素子とを含み、ファイン遅延素子は、バイナリコード変換器に格納されるバイナリコードにより遅延量が調整され、コース遅延素子は、前記グレイコードレジスタに格納されるグレイコードにより遅延量が調整される。

【 0 0 6 1 】

好ましくは、半導体装置は、第2の内部クロックに応じて動作する、信号を外部から受ける入力回路または、第2の内部クロックに応じて動作する、信号を外部に出力するための出力回路をさらに備える。特に、半導体装置は、複数のメモリセルを含むメモリセルアレイをさらに備え、入力回路は、前記メモリセルアレイにおけるデータ書込／読出のための信号を受け、出力回路は、前記メモリセルアレイから読出したデータを外部に出力する。

【 0 0 6 2 】

この発明のさらなる局面による半導体装置は、第1の外部クロックと第1の外部クロックと位相が相補になっている第2の外部クロックとが少なくとも入力され、第1の外部クロックの電位と第1の外部クロックの電位とが等しくなる第1の外部クロックの立上がりエッジのタイミングにおいて第1の内部クロックを出力する第1の入力バッファと、第1の外部クロックと第2の外部クロックとが少なくとも入力され、第1の外部クロックの電位と第1の外部クロックの電位とが等しくなる第2の外部クロックの立上がりエッジのタイミングにおいて第2の内部クロックを出力する第2の入力バッファと、第1の内部クロックを遅延して第3の内部クロックを出力する第1の遅延回路と、第2の内部クロックを遅延して第4の内部クロックを出力する第2の遅延回路と、第1の内部クロックと第3の内部クロックとの位相差を検出する検出器と、検出器の出力に応じて第1の遅延回路の遅延量と第2の遅延回路の遅延量とを調整する信号を発生するグレイコードを用いたグレイコードカウンタとを含むディレイロックドループを備える。

【0063】

好ましくは、半導体装置は、第3の内部クロックおよび第4の内部クロックに応じて動作する、信号を外部に出力するための出力回路をさらに備える。

【0064】

特に、半導体装置は、複数のメモリセルを含むメモリセルアレイをさらに備え、出力回路は、メモリセルアレイから読出したデータを第3および第4の内部クロックに応じて外部に出力する。

【0065】

この発明のさらなる局面によるクロック同期により動作するシステムにおける制御方法は、外部クロックを受けて第1の内部クロックを発生する入力バッファステップと、第1の内部クロックを遅延して第2の内部クロックを出力する遅延ステップと、第1の内部クロックと第2の内部クロックとの位相差を検出する検出ステップと、グレイコードを用いて、検出ステップにおける検出結果に応じて遅延ステップにおける遅延量を決定するステップとを備える。

【0066】

好ましくは、遅延量を決定するステップは、グレイコードをバイナリコードに

変換するバイナリコード変換ステップと、バイナリコードによりアップキャリー信号とダウンキャリー信号とを発生するアップキャリー／ダウンキャリー発生ステップと、検出ステップの結果に応じて、アップキャリー信号および前記ダウンキャリー信号から前記グレイコードを更新するためのキャリー信号を発生するステップとを含む。

【0067】

特に、制御方法は、第2の内部クロックに応じてデータを外部に出力するステップをさらに備える。または、制御方法は、第2の内部クロックに応じて外部からデータを受けるステップをさらに備える。

【0068】

【発明の実施の形態】

以下、本発明の実施の形態について、図を用いて説明する。図中同一または相当部分には同一記号または符号を付しその説明を省略する。

【0069】

〔第1の実施の形態〕

第1の実施の形態におけるディレイロックドループは、不連続な遅延の飛びを最小化することができる構成を有する。より具体的には、DLLにおいて、遅延レジスタとしてグレイコードカウンタ（グレイコード：交番符号）を用いる。

【0070】

これにより、キャリーを常に1ビットしかたてないようにすることで、仮にメタステーブル状態が起きても遅延時間の飛び（不連続な飛び）を最小化することができる。以下において、記号GADRは、グレイコードを意味する。また、記号GADR<k>は、グレイコードにおけるkビット目を意味し、レジスタ値ADR<k>またはグレイコードGADR<k>と称す。

【0071】

ここで、4ビットのグレイコードについて、図1を用いて説明する。図1では、デシマル（10進コード）に対するバイナリコード（2進コード）とグレイコードとをそれぞれ示している。図中、“↑”（上向き矢印）は、「ダウン」方向を、“↓”（下向き矢印）は、「アップ」方向を表わしている。また、記号AD

Rは、バイナリコードを、記号GADRは、グレイコードを意味している。記号“・”（黒丸）は、バイナリコードおよびグレイコードのそれぞれについてキャリーがどのビットに立っているかを示している。

【0072】

グレイコードの作成方法は、以下に示すとおりである。まず、デシマル“0”をグレイ“0000”に割当てたとする。この点から、アップ方向に各ビットがどのように“0”または“1”にアサインされていくか説明する。

【0073】

グレイコードの0ビット目（LSB）は、アップ方向に0110を繰返す。1ビット目は、アップ方向に00111100を繰返す。2ビット目は、アップ方向に0000111111110000を繰返す。以下同様に、 n ビット目は、アップ方向に“0”を2の n 乗回、“1”を2の $(n+1)$ 乗回、“0”を2の n 乗回繰返す。

【0074】

なお、図1に示すグレイコードにおいて、 n ビット目の論理値を逆転させたものもグレイコードになる。

【0075】

バイナリコード、グレイコードのどちらについても、 M 番目のコードのアップキャリーが i ビット目に立っている場合、 $M+1$ 番目のコードのダウンキャリーも i ビット目に立つ。したがって、図1において、 M 番目のコードと $M+1$ 番目のコードとの間にある記号“・”は、 M 番目のコードから見るとアップキャリーに相当し、 $M+1$ 番目のコードから見るとダウンキャリーになる。

【0076】

バイナリコードでは、アップまたはダウン方向のいずれにおいても複数ビットにキャリーが立っているが、グレイコードでは、アップおよびダウン方向のいずれにおいても1つのビットにのみキャリーが立つことがわかる。

【0077】

たとえば、バイナリコード“0110”（デシマルコード“6”）を考える。バイナリコード“0110”のダウンキャリーは、0ビット目と1ビット目とに

立っており、アップキャリーは、0ビット目に立っている。一方、1つ前のデシマルコード“5”（バイナリコード“0101”）のアップキャリーは、0ビット目と1ビット目とに立っており、1つ後のデシマルコード“7”（バイナリコード“0111”）のダウンキャリーは、0ビットに立っている。

【0078】

これに対し、グレイコード“0101”（デシマルコード“6”）について考察する。グレイコード“0101”のダウンキャリーは、1ビット目に立っており、アップキャリーは、0ビット目に立っている。1つ前のデシマルコード“5”（グレイコード“0111”）のアップキャリーは、1ビット目に立っており、1つ後のデシマルコード“7”（グレイコード“0100”）のダウンキャリーは、0ビット目に立っている。すなわち、グレイコードでは、キャリーが常に1ビットしか立たないことがわかる。

【0079】

4ビットのグレイコードを4ビットのバイナリコードに変換する変換式の一例を、図2を用いて説明する。図2において、Exorとは、排他的論理和を意味する。Exor回路は、入力される複数の信号のうち“1”の数が奇数であれば“1”を、偶数であれば“0”を出力する。

【0080】

たとえば、Exor (GADR<3>, GADR<2>) は、バイナリコードADR<2>とし、Exor (GADR<3>~GADR<1>) は、バイナリコードADR<3>とする。すなわち、図2に示される変換式で、グレイコードGADR<3:0>をバイナリコードADR<3:0>に変換することが可能になる。

【0081】

同様に、nビットのグレイコードをnビットのバイナリコードに変換する変換式を、図3を用いて説明する。たとえば、グレイコードGADR<n-1>は、バイナリコードADR<n-1>とし、Exor (GADR<n-1>~GADR<n-3>) は、バイナリコードADR<n-3>とする。図3に示される変換式で、nビットのグレイコードをnビットのバイナリコードに変換することが

可能になる。

【0082】

次に、グレイコードのキャリーがどのビットに立つかについて、図4を用いて説明する。図4では、グレイコード“0101”をデシマル“6”（バイナリコード“0110”）に対応させた例を示している。図中、キャリービットとバイナリコードにおけるビットとの関係を、矢印で表わしている。

【0083】

グレイコード“0101”のダウンキャリーは、対応するバイナリコード“0110”のうち、最もLSB側の“1”が立っているビット、つまり1ビット目に立つ。また、アップキャリーは、対応するバイナリコード“0110”のうち、最もLSB側の“0”が立っているビット、つまり0ビット目に立つ。

【0084】

一般化すると、あるグレイコードについて考えたとき、当該グレイコードのダウンキャリーは、対応するバイナリコードのうち最もLSB側の“1”が立っているビットに立つ。また、アップキャリーは、対応するバイナリコードのうち、最もLSB側の“0”が立っているビットに立つ。これにより、グレイコードにおいては、アップキャリー、ダウンキャリーのそれぞれは、1ビットにしか立たないことがわかる。

【0085】

ここで、第1の実施の形態によるグレイコードカウンタ（9ビット）の構成の一例を、図5を用いて説明する。グレイコードカウンタ81は、図5に示すように、グレイコードレジスタ810、バイナリコード発生器811、アップ・ダウンキャリー発生器812およびキャリーマルチプレクサ813を含む。

【0086】

グレイコードレジスタ810は、9ビットのグレイコード $GADR<0>\sim GADR<8>$ を格納する。バイナリコード発生器811は、Exor回路E0～E7を含む。

【0087】

バイナリコード発生器811は、グレイコードレジスタ810から9ビットの

グレイコード $GADR<0>\sim GADR<8>$ を受けて、図 3 で説明した変換式にしたがってバイナリコード $ADR<0>\sim ADR<8>$ を生成する。

【0088】

アップ・ダウンキャリー発生器 812 は、バイナリコード $ADR<0>\sim ADR<8>$ を受けて、図 4 で説明した変換式に従い、アップキャリー $UC<0>\sim UC<8>$ またはダウンキャリー $DC<0>\sim DC<8>$ を生成する。

【0089】

上述したように、アップキャリー $UC<0>\sim UC<8>$ のうちの 1 ビットのみが “1” であり、他は “0” である。または、ダウンキャリー $DC<0>\sim DC<8>$ のうちの 1 ビットのみが “1” であり、他は “0” である。

【0090】

キャリーマルチプレクサ 813 は、信号 UP および DN を受ける複数のマルチプレクサ（記号 MUX）を含む。信号 UP と DN とは、相対的に反対の論理レベルを有する。

【0091】

信号 $UP = “1”$, 信号 $DN = “0”$ であれば、次はカウンタをアップさせねばならないので、アップキャリー $UC<0>\sim UC<8>$ をキャリー $C<0>\sim C<8>$ としてスルーする。一方、信号 $UP = “0”$, 信号 $DN = “1”$ ならば、次は、カウンタをダウンさせねばならないので、ダウンキャリー $DC<0>\sim DC<8>$ をキャリー $C<0>\sim C<8>$ としてスルーする。

【0092】

キャリー $C<0>\sim C<8>$ のうち 1 ビットのみが “1” であり、他は “0” である。上記したキャリー $C<0>\sim C<8>$ の発生過程は、図 6 に示すとおりである。このようにして生成されたキャリー $C<0>\sim C<8>$ が、グレイコードレジスタ 810 に入力される。そして、次のカウンタ更新クロック $CLKCNT$ のタイミングで、入力されるキャリー $C<0>\sim C<8>$ に基づき、グレイコード $GADR<0>\sim GADR<8>$ のうちの 1 ビットが新しい値に更新される。

【0093】

ここで、第 1 の実施の形態によるグレイコードレジスタ 8 1 0 の回路構成の一例を、図 7 を用いて説明する。図 7 は、グレイコード $GADR<n>$ に対応するレジスタの構成を示している ($n = 0 \sim 8$)。グレイコード $GADR<n>$ 対応のレジスタは、NAND 回路 N 2 0、インバータ $IV20 \sim IV25$ 、ならびにゲート G 2 0 および G 2 1 を含む。

【 0 0 9 4 】

NAND 回路 N 2 0 は、カウンタ更新クロック $CLKCNT$ とキャリー $C<n>$ とを受け、信号 $\neg C$ を出力する。インバータ $IV20$ は、信号 $\neg C$ を反転し信号 C を出力する。

【 0 0 9 5 】

インバータ $IV21$ および $IV22$ はラッチ回路を構成する。同様に、インバータ $IV23$ および $IV24$ は、ラッチ回路を構成する。ゲート G 2 0 および G 2 1 は、信号 C および $\neg C$ に応じて入力信号を出力信号にスルーし、または入力信号と出力信号とを切断する。

【 0 0 9 6 】

インバータ $IV25$ は、グレイコード $GADR<n>$ を出力する出力ノード OUT とゲート G 2 0 との間に接続される。インバータ $IV21$ および $IV22$ を含むラッチ回路は、ゲート G 2 0 と G 2 1 との間に接続される。インバータ $IV23$ および $IV24$ を含むラッチ回路は、ゲート G 2 1 とノード OUT との間に接続される。

【 0 0 9 7 】

次に、第 1 の実施の形態によるバイナリコード発生器 8 1 1 の回路構成の一例を、図 8 を用いて説明する。バイナリコード発生器 8 1 1 は、図 8 に示すように、EXOR 回路 $E9a$ 、 $E9b$ 、 $E9c$ 、…を含む。Exor 回路は、図 3 で説明したグレイコード／バイナリコード変換式に対応するように配置される。

【 0 0 9 8 】

たとえば、グレイコード $GADR<8>$ は、バイナリコード $ADR<8>$ として出力される。グレイコード $GADR<8>$ と $GADR<7>$ とを受ける EXOR 回路 $E9b$ の出力がバイナリコード $ADR<7>$ として出力される。グレイコ

ード $GADR<6>\sim GADR<8>$ を入力に受ける EXOR 回路 E9c の出力が、バイナリコード $ADR<6>$ として出力される。

【0099】

次に、第1の実施の形態によるアップ・ダウンキャリー発生器812の回路構成の一例を、図33を用いて説明する。アップ・ダウンキャリー発生器812は、図33に示すように、複数の論理回路40, 41, 42, …を含む。アップ・ダウンキャリー発生器812における複数の論理回路は、図4で説明したキャリービットの位置を求める方式に従い配置される。アップ・ダウンキャリー発生器812により、ダウンキャリー $DC<0>$, $DC<1>$, …、アップキャリー $UC<0>$, $UC<1>$, …が出力される。

【0100】

次に、第1の実施の形態によるキャリーマルチプレクサ813の回路構成の一例について、図34を用いて説明する。図34は、キャリー $C<n>$ に対応するマルチプレクサを示している ($n=0\sim 8$)。キャリー $C<n>$ 対応のマルチプレクサは、図34に示すように、論理回路50および51、ならびにインバータ $IV50\sim IV55$ を含む。

【0101】

論理回路50は、カウンタ更新クロック $CLKCNT$ と信号 UP とを受け、信号 U を出力する。インバータ $IV50$ は、信号 U を反転した信号 $\neg U$ を出力する。信号 U は、信号 UP が H レベルかつカウンタ更新クロック $CLKCNT$ が L レベルのときのみに H レベルになる。

【0102】

論理回路51は、カウンタ更新クロック $CLKCNT$ と信号 DN とを受け、信号 D を出力する。インバータ $IV51$ は、信号 D を反転した信号 $\neg D$ を出力する。信号 D は、信号 DN が H レベルかつカウンタ更新クロック $CLKCNT$ が L レベルのときのみに H レベルになる。

【0103】

インバータ $IV52$ は、信号 U が H レベル (信号 $\neg U$ が L レベル) になると、アップキャリー $UC<n>$ を反転して出力する。インバータ $IV53$ は、信号 D

がHレベル（信号／DがLレベル）になると、ダウンキャリーDC<n>を反転して出力する。

【0104】

インバータIV54およびIV55は、ラッチ回路を構成する。インバータIV54およびIV55を含むラッチ回路は、インバータIV52、IV53の出力ノードと、ノードOUTとの間に配置される。ノードOUTから、キャリーC<n>が出力される。

【0105】

第1の実施の形態によるDLL1000の全体構成を、図9を用いて説明する。DLL1000は、図9に示すように、クロックバッファ1、ファイン遅延素子3、コース遅延素子5、デコーダ71、グレイコードカウンタ81、位相比較器9、タイミングクロック発生器10、パルス発生器11およびレプリカ回路13を含む。

【0106】

従来のDLL9000と異なる点は、バイナリカウンタ80に代わってグレイコードカウンタ81を含むこと、およびこれに伴いデコーダ70に代わってデコーダ71を含むことにある。

【0107】

グレイコードカウンタ81は、カウンタ更新クロックCLKCNTに応じて、信号UP/DNに基づき、バイナリコードADR<0:2>およびグレイコードGADR<3:8>を出力する。

【0108】

デコーダ71は、グレイコードGADR<3:8>をデコードして、コース遅延素子5の遅延段数を決定する信号を出力する。

【0109】

デコーダ71の構成の一例を、図10－図12を用いて説明する。デコーダ71は、図10－図12に示すように、信号GX<k>を出力するAND回路60#k（k=0～11）、および信号GX<k>に応じてコース遅延素子5における遅延段数を決定する信号を出力するAND回路61#0～61#63を含む。

【0 1 1 0】

AND回路60# $i \times 4$ ($i = 0, 1, 2$) は、グレイコードGADR $\langle 3 + i \times 2 \rangle$ を反転したグレイコード/GADR $\langle 3 + i \times 2 \rangle$ と、グレイコードGADR $\langle 4 + i \times 2 \rangle$ を反転したグレイコード/GADR $\langle 4 + i \times 2 \rangle$ とを受け、AND回路60#($i \times 4 + 1$) は、グレイコードGADR $\langle 3 + i \times 2 \rangle$ とグレイコード/GADR $\langle 4 + i \times 2 \rangle$ とを受ける。

【0 1 1 1】

AND回路60#($i \times 4 + 2$) は、グレイコードGADR $\langle 3 + i \times 2 \rangle$ とグレイコードGADR $\langle 4 + i \times 2 \rangle$ とを受け、AND回路60#($i \times 4 + 3$) は、グレイコード/GADR $\langle 3 + i \times 2 \rangle$ とグレイコードGADR $\langle 4 + i \times 2 \rangle$ とを受ける。

【0 1 1 2】

AND回路61#0~61#63は、第1, 第2および第3の入力ノードを有する。AND回路61#($8 \times i$) および61#($8 \times i + 7$) の第1入力ノードは、信号GX $\langle 0 \rangle$ を受け、AND回路61#($8 \times i + 1$) および61#($8 \times i + 6$) の第1入力ノードは、信号GX $\langle 1 \rangle$ を受け、AND回路61#($8 \times i + 2$) および61#($8 \times i + 5$) の第1入力ノードは、信号GX $\langle 2 \rangle$ を受け、AND回路61#($8 \times i + 3$) および61#($8 \times i + 4$) の第1入力ノードは、信号GX $\langle 3 \rangle$ を受ける ($i = 0 \sim 7$)。

【0 1 1 3】

AND回路61#($j \times 32 + 0$) ~ 61#($j \times 32 + 3$) および61#($j \times 32 + 28$) ~ 61#($j \times 32 + 31$) の第2入力ノードは、信号GX $\langle 4 \rangle$ を受け、AND回路61#($j \times 32 + 4$) ~ 61#($j \times 32 + 7$) および61#($j \times 32 + 24$) ~ 61#($j \times 32 + 27$) の第2入力ノードは、信号GX $\langle 5 \rangle$ を受け、AND回路61#($j \times 32 + 8$) ~ 61#($j \times 32 + 11$) および61#($j \times 32 + 20$) ~ 61#($j \times 32 + 23$) の第2入力ノードは、信号GX $\langle 6 \rangle$ を受け、AND回路61#($j \times 32 + 12$) ~ 61#($j \times 32 + 15$) および61#($j \times 32 + 16$) ~ 61#($j \times 32 + 19$) の第2入力ノードは、信号GX $\langle 7 \rangle$ を受ける ($j = 0, 1$)。

【0114】

AND回路61#0～61#15の第3入力ノードは、信号GX<8>を受け、AND回路61#16～61#31の第3入力ノードは、信号GX<9>を受け、AND回路61#32～61#47の第3入力ノードは、信号GX<10>を受け、AND回路61#48～61#63の第3入力ノードは、信号GX<11>を受ける。

【0115】

AND回路61#m (m=0～63) の出力に応じて、コース遅延素子5の遅延段数（たとえば、m個）が決定される。

【0116】

次に、第1の実施の形態によるDLL1000を有する半導体装置1000の構成の一例を、図13を用いて説明する。半導体装置1000は、図13に示すように、外部クロックCLK_{ext}を受けるDLL1000、制御信号（ロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CAS、チップ選択信号/CS、ライトイネーブル信号/WE等）を受ける入力バッファ1001、アドレス信号A_n (n=0, 1, ...)を受ける入力バッファ1002、入力バッファ1001の出力を受けて内部制御信号を発生する制御信号発生回路1003、内部制御信号に応じて入力バッファ1002から出力されるロウアドレスをラッチするロウアドレスラッチ1004、内部制御信号に応じて入力バッファ1002から出力されるコラムアドレスをラッチするコラムアドレスラッチ1005、行列状に配置される複数のメモリセルと行方向に配置される複数のワード線と列方向に配置される複数のビット線とを含むメモリアレイ1006、内部制御信号に応じてロウアドレスラッチ1004の出力に基づき行選択を行うためのロウデコーダ1007、ならびに内部制御信号に応じてコラムアドレスラッチ1005の出力に基づき列選択を行うためのコラムデコーダ1008を含む。

【0117】

入力バッファ1001および1002は、DLL1000の出力するクロックBUFFCLK（またはCLK_{in3}）に同期して入力信号を取込む。クロック

BUFFCLKよりもクロックCLK_{in3}の方が、高速化により適している。

【0118】

半導体装置10000はさらに、メモリアレイ1006にデータを書込み、またはメモリアレイ1006からデータを読出すためのアレイ入出力回路1009、内部制御信号に応じて読出データをラッチする読出データラッチ1010、読出データラッチ1010にラッチしたデータを取込み、データ入出力端子DQ_iに出力する出力バッファ1011、書込データをラッチする書込データラッチ1012、ならびにデータ入出力端子DQ_iからデータを取込み、書込データラッチ1012に書込データを出力する入力バッファ1013を含む。

【0119】

出力バッファ1011は、DLL1000の出力する内部クロックCLK_{in2}に同期して動作する。

【0120】

第1の実施の形態によるグレイコードカウンタを含むDLLにより得られる効果について述べる。たとえば、図1，2の例（4ビットグレイコード）で説明する。上記したように、グレイコードカウンタにおいては、「アップ」においても「ダウン」においても、1ビットだけキャリーが立つ。

【0121】

そこで、現在のレジスタ値がデシマルコード“6”＝グレイコード“0101”であったとする。信号UPがHならば、キャリーC<0>＝“1”、キャリーC<1>～C<3>＝“0”である。一方、信号DN＝Hならば、キャリーC<1>＝“1”、キャリーC<0>，<2>，<3>＝“0”である。ここで、位相比較器9においてメタステーブル状態が発生し、信号UPおよびDNが不定値となってしまったとする。この場合においてキャリー値がどのようなになるかを考察する。

【0122】

キャリーC<2>，<3>は、信号UPまたは信号DNのいずれがHであっても“0”である。したがって、信号UPおよびDNが不定になってもキャリーC<2>～C<3>は不定にならず“0”を保持する。

【 0 1 2 3 】

キャリー $C<0>$, $C<1>$ は、信号 UP および DN の値により “0” または “1” の値になる。したがって、信号 UP および DN が不定になるとキャリー $C<0>$, $C<1>$ も不定になる。つまり、これによる次の 4 通りの結果がいずれかの確率で発生してしまう。

【 0 1 2 4 】

(イ) キャリー $C<0> = “0”$ 、キャリー $C<1> = “0”$ のとき
すべてのキャリーが “0” になるので、次のレジスタ値はデシマルコード 6 = グレイコード 0 1 0 1 のままである。

【 0 1 2 5 】

(ロ) キャリー $C<0> = “1”$ 、キャリー $C<1> = “0”$ のとき
次のレジスタ値はデシマル 7 = グレイコード 0 1 0 0 である。

【 0 1 2 6 】

(ハ) キャリー $C<0> = “0”$ 、キャリー $C<1> = “1”$ のとき
次のレジスタ値はデシマルコード 5 = グレイコード 1 1 1 1 である。

【 0 1 2 7 】

(ニ) キャリー $C<0> = “1”$ 、キャリー $C<1> = “1”$ のとき、次の
レジスタ値はデシマル 4 = グレイコード 0 1 1 0 である。

【 0 1 2 8 】

この例に表わされるように、メタステーブル状態が発生した後には、元の状態 “6” から遷移する可能性があるのは “4” , “5” , “6” , “7” のみである。すなわち、元の状態から最大でも “2” だけ離れた値にしか遷移しない。

【 0 1 2 9 】

ここでは、元の状態が “6” である場合について説明したが、元の状態が “6” 以外の値であっても「元の状態から最大でも “2” だけ離れたところにしか遷移しない」ことがわかる。

【 0 1 3 0 】

また、この事情は 4 ビット グレイコード カウンタ のみならず、一般の n ビット グレイコード カウンタ についても言える。

【 0 1 3 1 】

したがって、グレイコードカウンタを用いることにより、メタステーブル状態が発生しても最大でも元のレジスタ値から2はなれたところまでしかレジスタ値が飛ばない。従来例であるバイナリカウンタでは、元のレジスタ値から全く予想ができないところにレジスタ値が飛んでしまう可能性があったことを考えると、本発明の示す効果が大きいことがわかる。

【 0 1 3 2 】

このため、グレイコードカウンタを含むDLLにおいては、DLLの遅延値が安定化され、遅延のとびが最小化されるので、従来例で見たような不良が起こる可能性がなくなるという効果がある。

【 0 1 3 3 】

〔第2の実施の形態〕

第2の実施の形態においては、DDR・SDRAMに搭載するDLLについて説明する。DDR・SDRAM用のDLL2000について、図14を用いて説明する。DLL2000には、図14に示すように、外部からクロックCLK_{ext}およびZCLK_{ext}が入力される。クロックZCLK_{ext}はクロックCLK_{ext}と位相が180度異なる。

【 0 1 3 4 】

DLL2000は、クロックバッファ1, 2、ファイン遅延素子3, 4、コース遅延素子5, 6、デコーダ71、グレイコードカウンタ81、位相比較器9、タイミングクロック発生器10、パルス発生器11および12、ならびにレプリカ回路13を含む。

【 0 1 3 5 】

ファイン遅延素子4は、ファイン遅延素子3と、コース遅延素子6は、コース遅延素子5とそれぞれ同じ構成を有する。また、パルス発生器12は、パルス発生器11と同じ構成を有する。

【 0 1 3 6 】

クロックバッファ1および2にはともに、外部クロックCLK_{ext}, ZCLK_{ext}が入力されている。クロックバッファ1, 2は、図31, 32に示すよ

うに、トランジスタ $Tr1$, $Tr2$, $Tr3$, $Tr4$ およびインバータ $IV10$ を含む。クロックバッファ1は、クロック $BUFFCLK$ を、クロックバッファ2は、クロック $BUFFZCLK$ を出力する。

【0137】

位相比較器9は、レプリカ回路13の出力するクロック $FBCLK$ とクロック $BUFFCLK$ との位相を比較して、信号 UPF/DNF を出力する。グレイコードカウンタ81から出力されるバイナリコード $ADR<0:2>$ は、ファイン遅延素子3, 4に入力される。

【0138】

デコーダ71は、グレイコードカウンタ81の出力するグレイコード $GADR<3:8>$ をデコードして、コース遅延素子5, 6に出力する。

【0139】

クロック $BUFFZCLK$ は、ファイン遅延素子4とコース遅延素子6とを通過した後、パルス発生器12に入力される。パルス発生器12から、クロック $ZCLKin2$ が出力される。内部クロック $ZCLKin2$ は、内部クロック $CLKin2$ とともに $DDR \cdot SDRAM$ のデータ出力に用いられる。

【0140】

ここで、 $DLL2000$ の動作について、図15を用いて説明する。図15を参照して、信号 $BUFFCLK$ は、クロックバッファ1によりクロック $CLKext$ の立上がりでクロック $ZCLKext$ の立下がりとのクロックポイントにおいて発生する。一方、クロック $BUFFZCLK$ は、クロックバッファ2により、クロック $ZCLKext$ の立上がりでクロック $CLKext$ の立下がりのクロスポイントとにおいて発生される。

【0141】

内部クロック $CLKin2$ は、外部クロック $CLKext$ の立上がりで外部クロック $ZCLKext$ の立下がりとのクロスポイントに同期してデータを入力する際に用い、内部クロック $ZCLKin2$ は、外部クロック $ZCLKext$ の立上がりで内部クロック $CLKext$ の立下がりとのクロスポイントに同期してデータを入力する際に用いる。

【 0 1 4 2 】

ここで、第 2 の実施の形態による D L L 2 0 0 0 を有する半導体装置 2 0 0 0 0 の構成の一例を、図 1 6 を用いて説明する。半導体装置 2 0 0 0 0 は、図 1 6 に示すように、外部クロック C L K e x t および Z C L K e x t を受ける D L L 2 0 0 0、制御信号（ロウアドレスストローブ信号／R A S、コラムアドレスストローブ信号／C A S、チップ選択信号／C S、ライトイネーブル信号／W E 等）を受ける入力バッファ 2 0 0 1、アドレス信号 A n (n = 0, 1, …, 1 1) およびバンクアドレス信号 B A 0, B A 1 を受ける入力バッファ 2 0 0 2、入力バッファ 2 0 0 1 の出力を受けて内部制御信号を発生する制御信号発生回路 2 0 0 3、内部制御信号に応じて入力バッファ 1 0 0 2 から出力されるロウアドレスをラッチするロウアドレスラッチ 2 0 0 4、内部制御信号に応じて入力バッファ 2 0 0 2 から出力されるコラムアドレスをラッチするコラムアドレスラッチ 2 0 0 5、行列状に配置される複数のメモリセルと行方向に配置される複数のワード線と列方向に配置される複数のビット線とを含むメモリアレイ 2 0 0 6、内部制御信号に応じてロウアドレスラッチ 2 0 0 4 の出力に基づき行選択を行うためのロウデコーダ 2 0 0 7、ならびに内部制御信号に応じてコラムアドレスラッチ 2 0 0 5 の出力に基づき列選択を行うためのコラムデコーダ 2 0 0 8 を含む。入力バッファ 2 0 0 1 および 2 0 0 2 は、D L L 2 0 0 0 の出力するクロック B U F F C L K（または C L K i n 3）に同期して入力信号を取込む。クロック B U F F C L K よりもクロック C L K i n 3 の方が、高速化により適している。

【 0 1 4 3 】

半導体装置 2 0 0 0 0 はさらに、メモリアレイ 2 0 0 6 にデータを書込みまたはメモリアレイ 2 0 0 6 からデータを読出すためのアレイ入出力回路 2 0 0 9、内部制御信号に応じて読出データをラッチする読出データラッチ 2 0 1 0、読出データラッチ 2 0 1 0 にラッチしたデータを取込み、データ入出力端子 D Q i に出力する出力バッファ 2 0 1 1、書込データをラッチする書込データラッチ 2 0 1 2、ならびにデータ入出力端子 D Q i からデータを取込み、書込データラッチ 2 0 1 2 に書込データを出力する入力バッファ 2 0 1 3 を含む。

【 0 1 4 4 】

出力バッファ 2 0 1 1 は、D L L 2 0 0 0 の出力する内部クロック C L K i n 2 および Z C L K i n 2 に同期して動作する。したがって、半導体装置 2 0 0 0 0 (D D R ・ S D R A M) は、1 クロック周期中に 2 回のデータを出力することができる。

【 0 1 4 5 】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【 0 1 4 6 】

【発明の効果】

このように、本発明による D L L 回路は、遅延量を調整する遅延レジスタとしてグレイコードカウンタを用いる。これにより、キャリーが 1 ビットしか立たないので、D L L の遅延値が安定化され、遅延のとびが最小化される。これにより、安定した高速動作を実現することが可能となる。

【 0 1 4 7 】

また、本発明による D L L 回路を含む半導体装置によれば、外部クロックを遅延して内部クロックを発生する際に、遅延量を調整する遅延レジスタとしてグレイコードカウンタを用いる。これにより、不連続な遅延の「飛び」を原理的に最小化することが可能となる。したがって、入力バッファや出力バッファを当該内部クロックで制御することで、安定した高速動作を実現することが可能となる。

【 0 1 4 8 】

また、本発明によるクロック同期により動作するシステムのための制御方法によれば、グレイコードを用いて遅延量を制御するため、不連続な遅延の「飛び」を原理的に最小化することが可能となる。これにより、データを安定したタイミングで入力することができる。同じく、データを安定したタイミングで出力することができる。

【図面の簡単な説明】

【図 1】 4 ビットのグレイコードについて説明するための図である。

【図 2】 4 ビットのグレイコードを 4 ビットのバイナリコードに変換する変換式について説明するための図である。

【図 3】 n ビットのグレイコードを n ビットのバイナリコードに変換する変換式について説明するための図である。

【図 4】 グレイコードにおけるキャリーについて説明するための図である。

【図 5】 第 1 の実施の形態によるグレイコードカウンタ (9 ビット) の構成の一例を示す図である。

【図 6】 キャリー $C<0>\sim C<8>$ の発生過程を説明するためのタイミングチャートである。

【図 7】 第 1 の実施の形態によるグレイコードレジスタ 8 1 0 の回路構成の一例を示す図である。

【図 8】 第 1 の実施の形態によるバイナリコード発生器 8 1 1 の回路構成の一例を示す図である。

【図 9】 第 1 の実施の形態による D L L 1 0 0 0 の全体構成を示す図である。

【図 1 0】 第 1 の実施の形態によるデコーダ 7 1 の構成要素を示す図である。

【図 1 1】 第 1 の実施の形態によるデコーダ 7 1 の構成要素を示す図である。

【図 1 2】 第 1 の実施の形態によるデコーダ 7 1 の構成要素を示す図である。

【図 1 3】 第 1 の実施の形態による D L L 1 0 0 0 を有する半導体装置 1 0 0 0 0 の構成の一例を示す図である。

【図 1 4】 第 2 の実施の形態による D L L 2 0 0 0 の全体構成を示す図である。

【図 1 5】 第 2 の実施の形態による D L L 2 0 0 0 の動作について説明するためのタイミングチャートである。

【図 1 6】 第 2 の実施の形態による D L L 2 0 0 0 を有する半導体装置 2

0 0 0 0 の構成の一例を示す図である。

【図 1 7】 データの出力タイミングについて説明するためのタイミングチャートである。

【図 1 8】 データの出力タイミングについて説明するためのタイミングチャートである。

【図 1 9】 システムクロック周期 T が短い場合におこる問題点を説明するためのタイミングチャートである。

【図 2 0】 DDR・SDRAM における動作タイミングを説明するためのタイミングチャートである。

【図 2 1】 DLL を用いた部品における動作を説明するためのタイミングチャートである。

【図 2 2】 DLL を用いない場合のデータ入力における動作について説明するためのタイミングチャートである。

【図 2 3】 ラッチ回路 9 1 0 の構成の一例を示す図である。

【図 2 4】 DLL を用いた場合のデータ入力における動作について説明するためのタイミングチャートである。

【図 2 5】 従来の DLL 9 0 0 0 の構成の一例を示す図である。

【図 2 6】 DLL 9 0 0 0 の動作について説明するためのタイミングチャートである。

【図 2 7】 DLL 9 0 0 0 の動作について説明するためのタイミングチャートである。

【図 2 8】 (a), (b) は、信号 UPF, DNF の値について説明するためのタイミングチャートである。

【図 2 9】 デコーダ 7 0 の構成の一例を示す図である。

【図 3 0】 位相比較器 9 の構成の一例を示す図である。

【図 3 1】 クロックバッファ 1 の構成の一例を示す図である。

【図 3 2】 クロックバッファ 2 の構成の一例を示す図である。

【図 3 3】 第 1 の実施の形態によるアップ・ダウンキャリー発生器 8 1 2 の回路構成の一例を示す図である。

【図 3 4】 第 1 の実施の形態によるギャリーマルチプレクサ 8 1 3 の回路構成の一例を示す図である。

【符号の説明】

1, 2 クロックバッファ、3, 4 ファイン遅延素子、5, 6 コース遅延素子、9 位相比較器、10 タイミングクロック発生器、11, 12 パルス発生器、13 レプリカ回路、20 ゲート、40 バッファ、71 デコーダ、81 グレイコードカウンタ、810 グレイコードレジスタ、811 バイナリコード発生器、812 アップ・ダウンキャリ－発生器、813 キャリ－マルチプレクサ、1000, 2000 DLL、1001, 1002, 1013, 2001, 2002, 2013 入力バッファ、1003, 2003 制御信号発生回路、1004, 2004 ロウアドレスラッチ、1005, 2005 コラムアドレスラッチ、1006, 2006 メモリアレイ、1007, 2007 ロウデコーダ、1008, 2008 コラムデコーダ、1009, 2009 アレイ入出力回路、1010, 2010 読出データラッチ、1011, 2011 出力バッファ、1012, 2012 書込データラッチ、10000, 20000 半導体装置。

【書類名】 図面

【図 1】

4ビットグレイコードの説明

デシマル コード	バイナリコード ADR<3~0>				グレイコード GADR<3~0>				• キャリー
	<3>	<2>	<1>	<0>	<3>	<2>	<1>	<0>	
0	0	0	0	0	0	0	0	0	
1	0	0	0	1	0	0	0	1	
2	0	0	1	0	0	0	1	1	
3	0	0	1	1	0	0	1	0	
4	0	1	0	0	0	1	1	0	
5	0	1	0	1	0	1	1	1	
6	0	1	1	0	0	1	0	1	
7	0	1	1	1	0	1	0	0	
8	1	0	0	0	1	1	0	0	
9	1	0	0	1	1	1	0	1	
10	1	0	1	0	1	1	1	1	
11	1	0	1	1	1	1	1	0	
12	1	1	0	0	1	0	1	0	
13	1	1	0	1	1	0	1	1	
14	1	1	1	0	1	0	0	1	
15	1	1	1	1	1	0	0	0	

• キャリー

↓
ダウン方向

↑
アップ方向

【図 2】

4ビットグレイコードを4ビットバイナリコードに変換する変換式

バイナリコード ADR<3~0>		グレイコード GADR<3~0>	
ADR<3>	=	GADR<3>	
ADR<2>	=	Exor(GADR<3>,GADR<2>)	
ADR<1>	=	Exor(GADR<3>~GADR<1>)	
ADR<0>	=	Exor(GADR<3>~GADR<0>)	

【図 3】

nビットグレイコードをnビットバイナリコードに変換する変換式

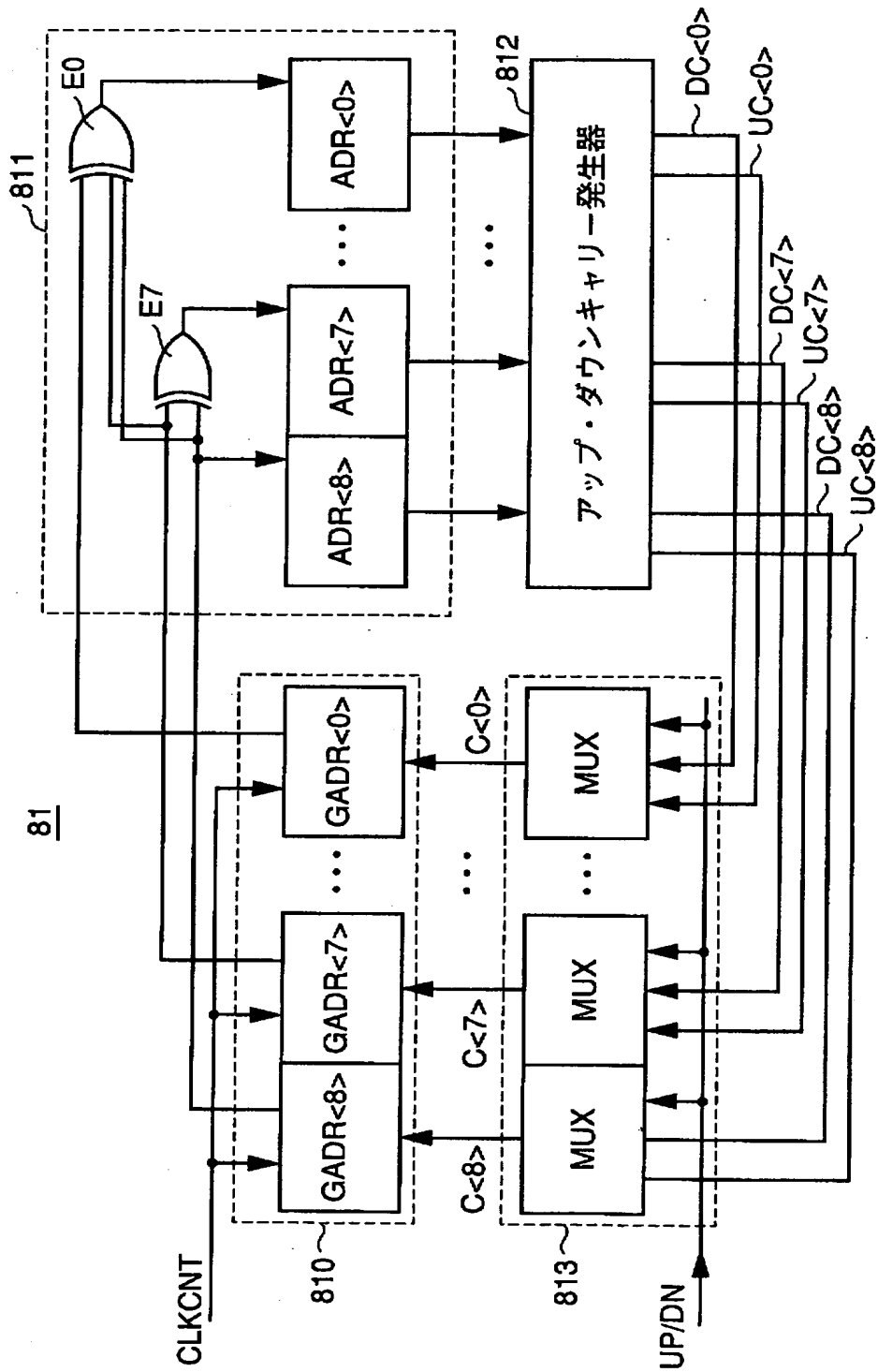
バイナリコード ADR<n-1~0>		グレイコード GADR<n-1~0>	
ADR<n-1>	=	GADR<n-1>	
ADR<n-2>	=	Exor(GADR<n-1>,GADR<n-2>)	
ADR<n-3>	=	Exor(GADR<n-1>~GADR<n-3>)	
⋮	⋮	⋮	
ADR<0>	=	Exor(GADR<n-1>~GADR<0>)	

【図 4】

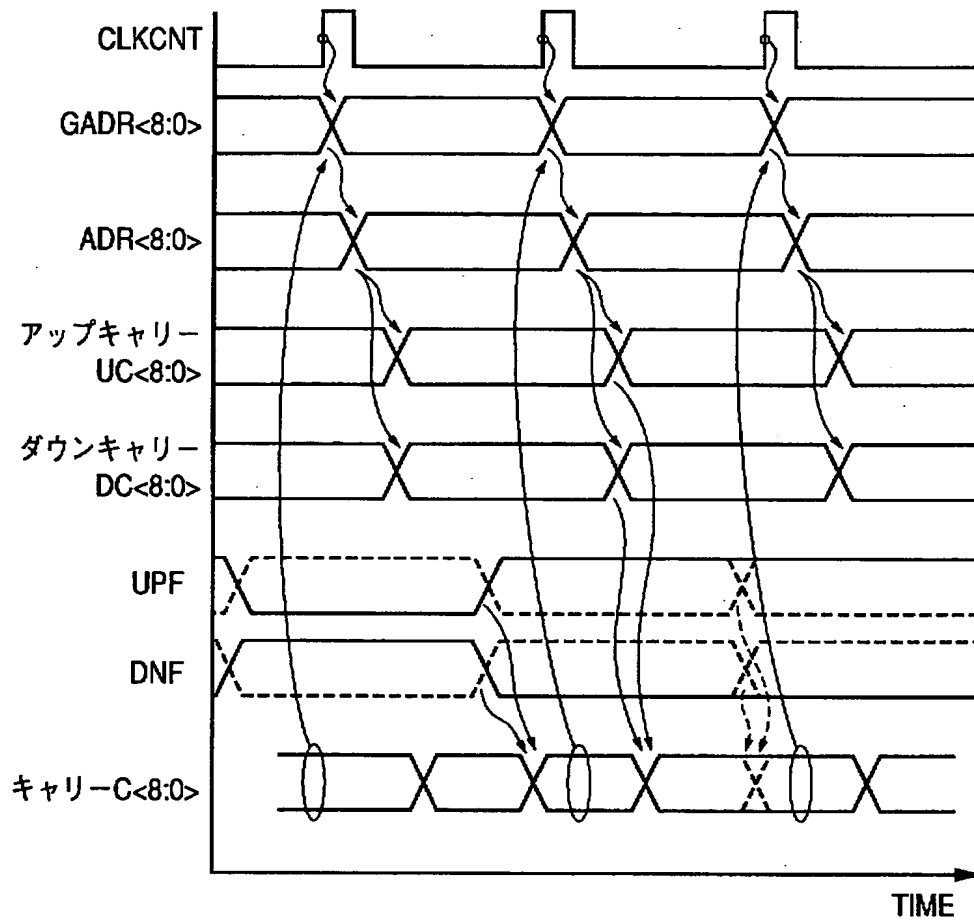
4ビットグレイコードのキャリーの場所の例示

デシマルコード	バイナリコード	グレイコード	
5	0 1 0 1	0 1 1 1	
6	0 1 ① ①	0 1 0 1	↓ ダウン
7	0 1 1 1	0 1 0 0	↑ アップ

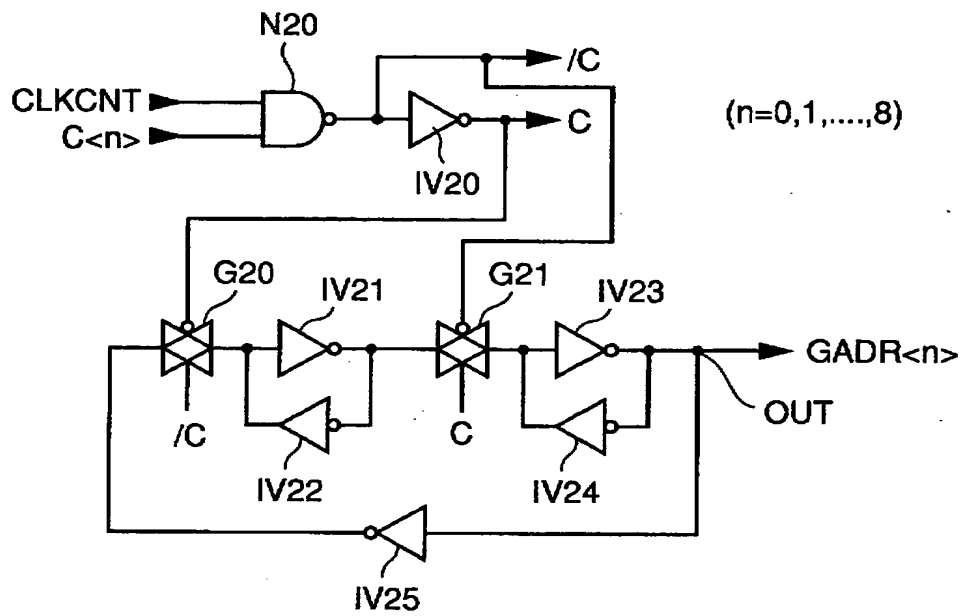
【図 5】



【図 6】

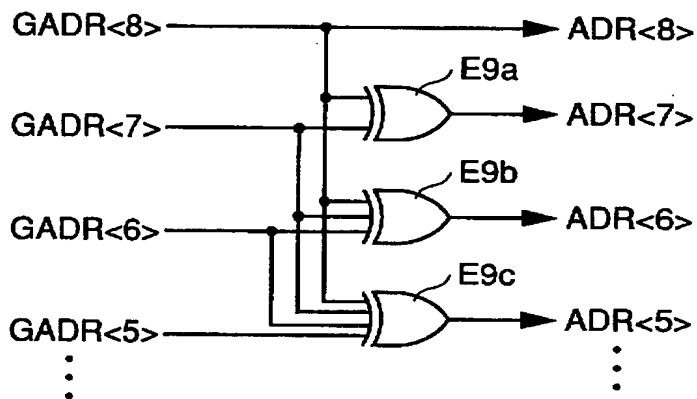


【図 7】



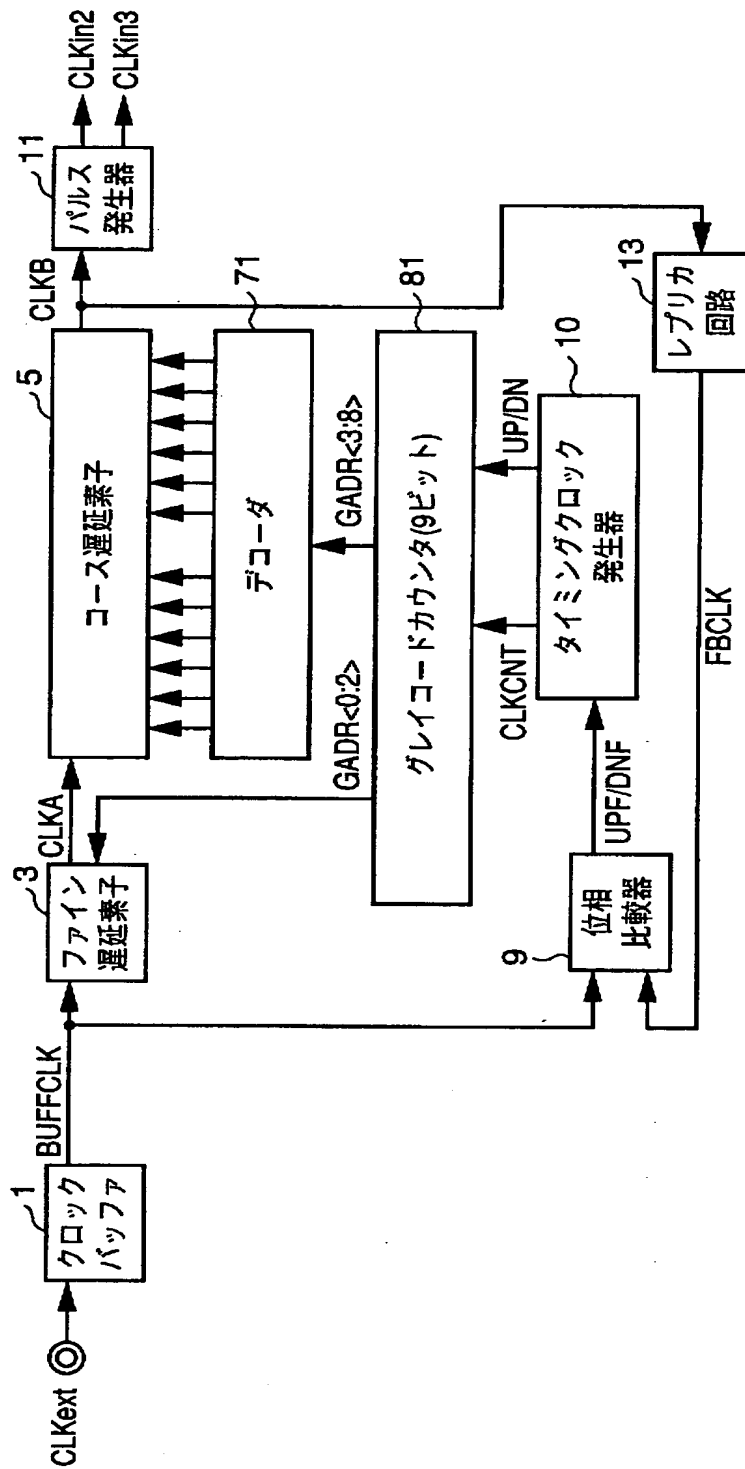
【図 8】

811

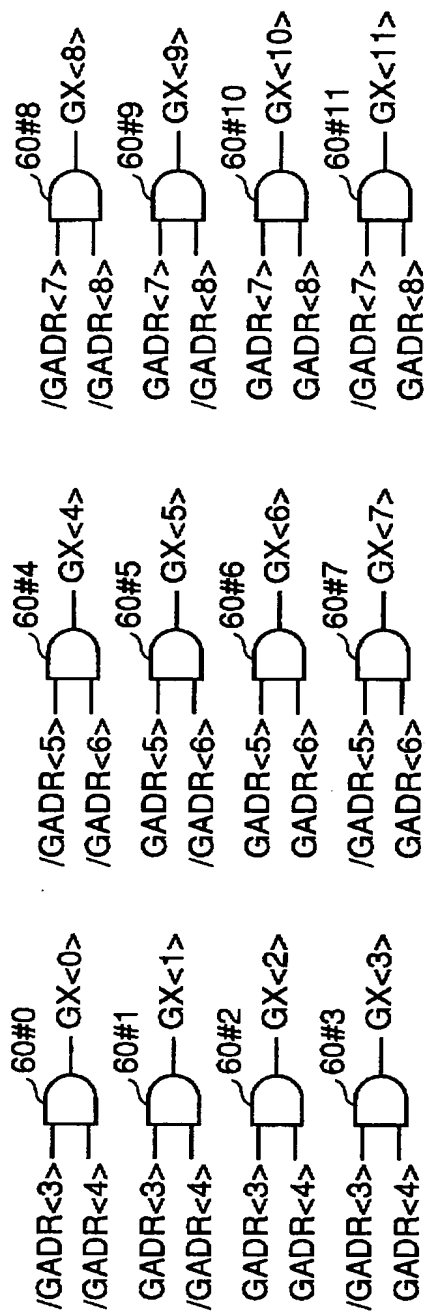


【図 9】

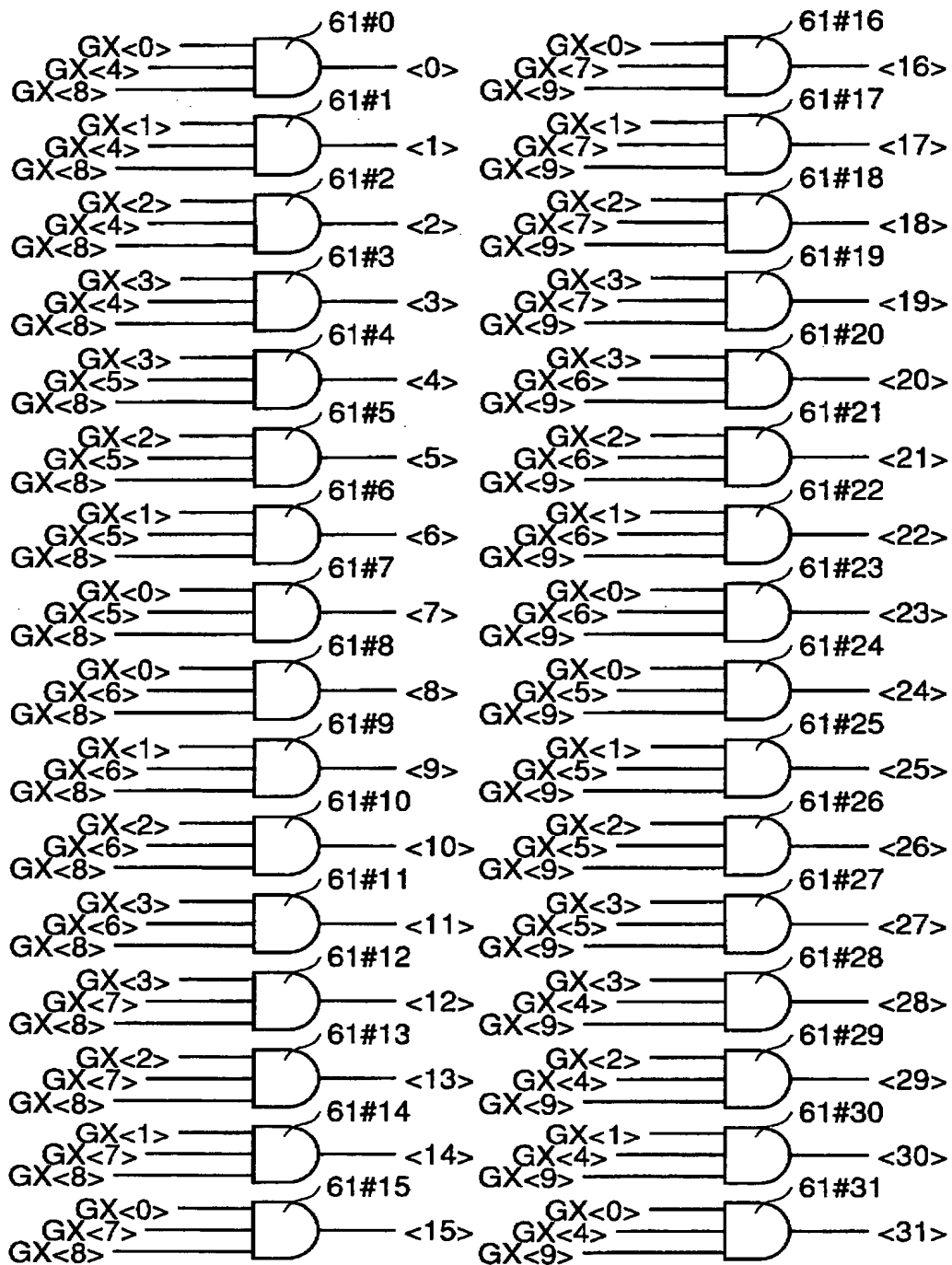
1000



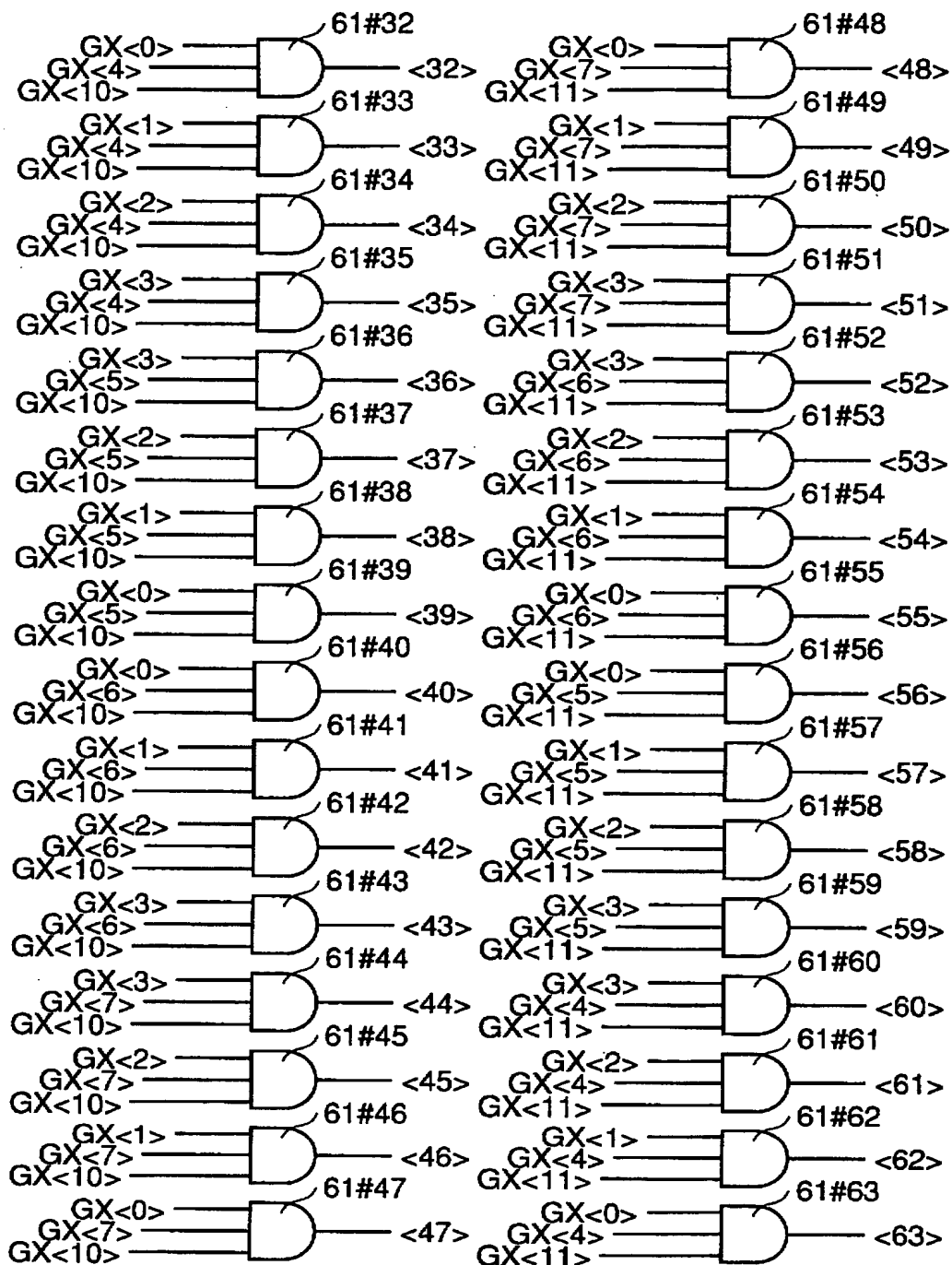
【図 1 0】



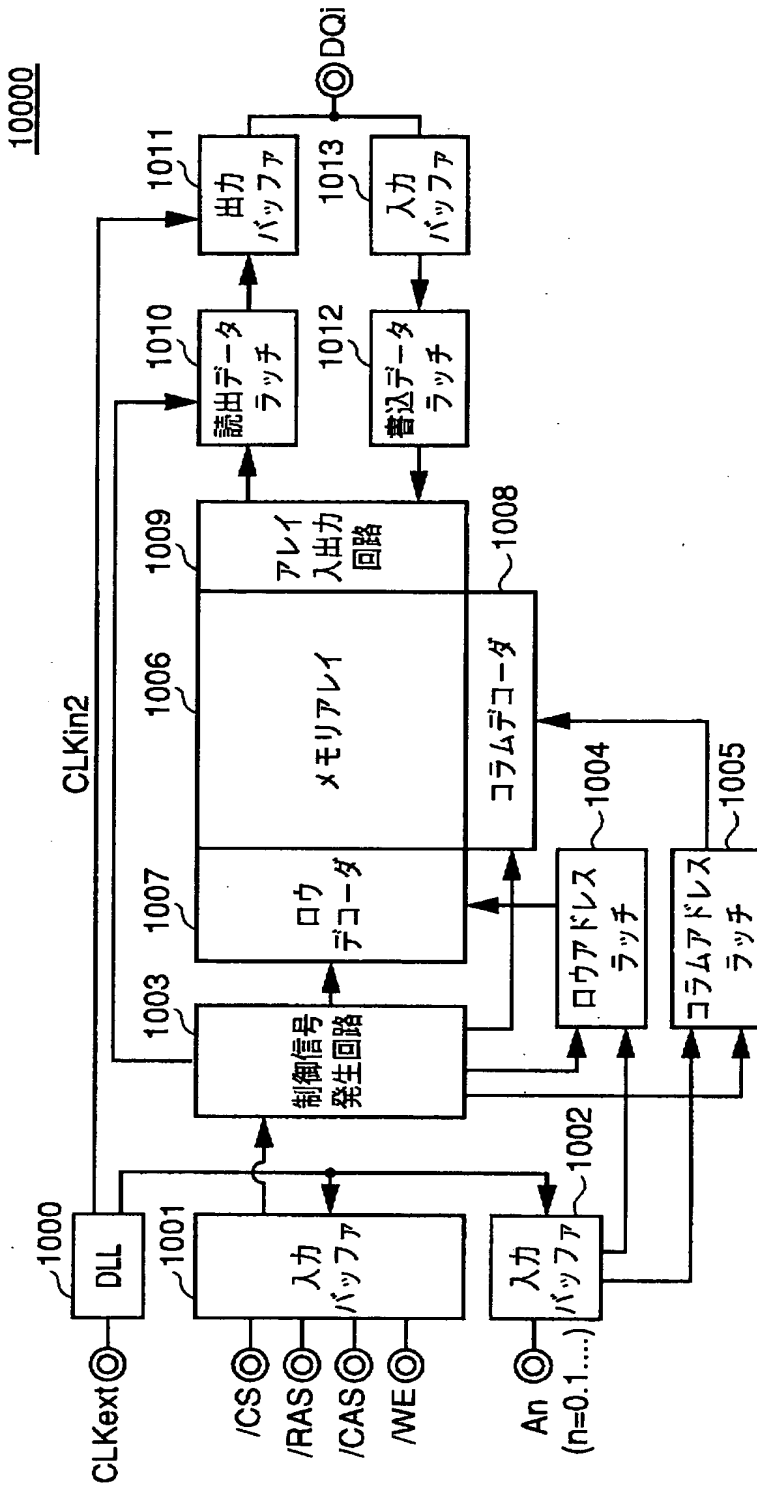
【図 11】



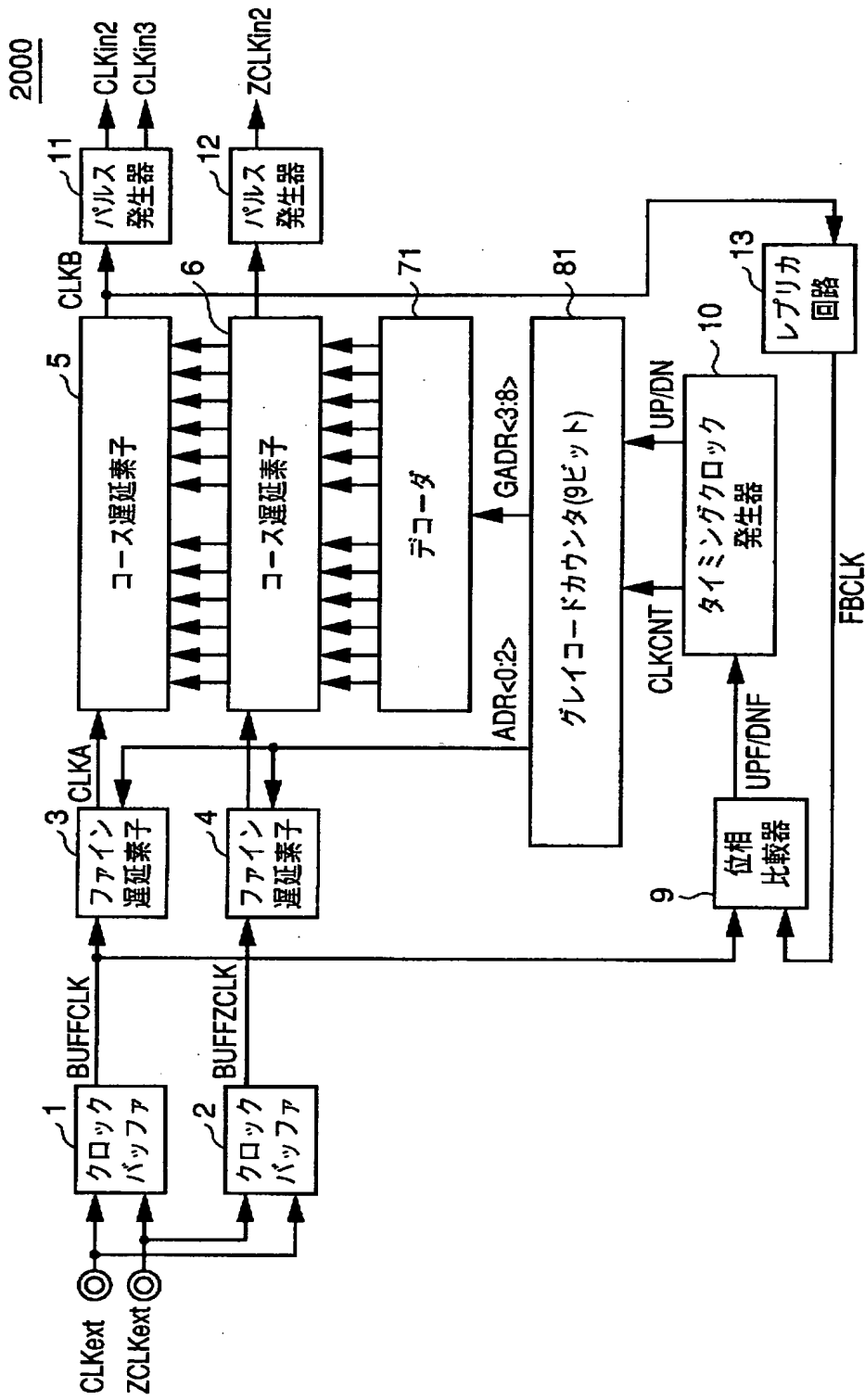
【図 1 2】



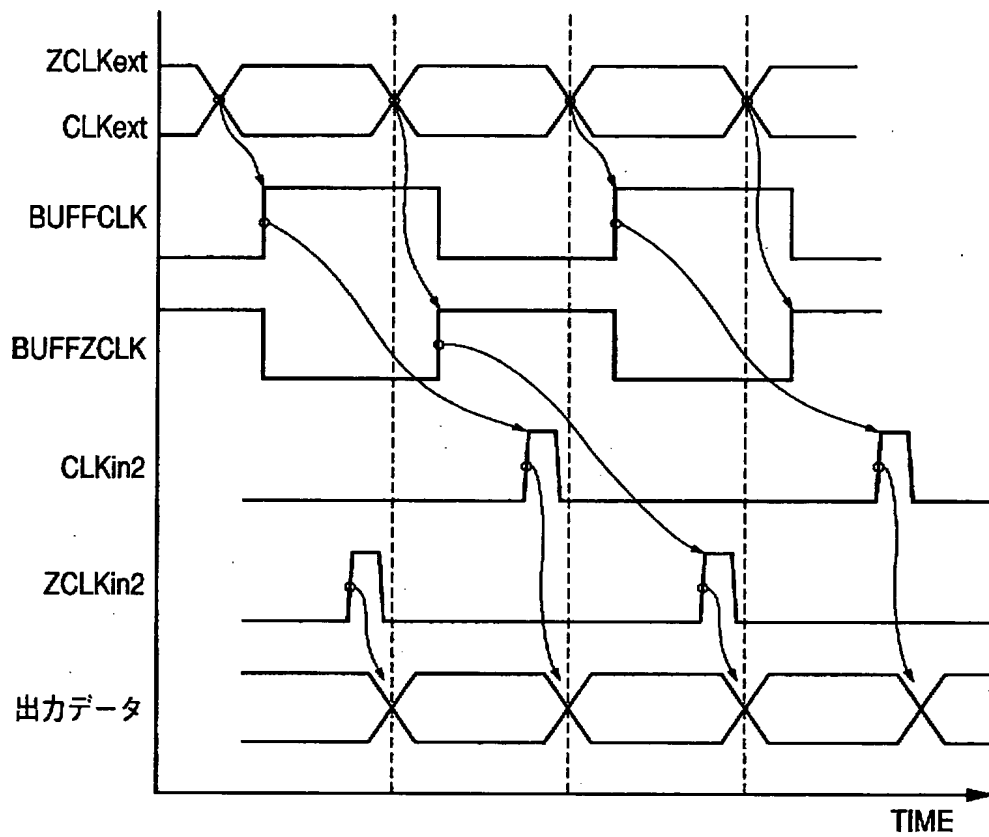
【図 1 3】



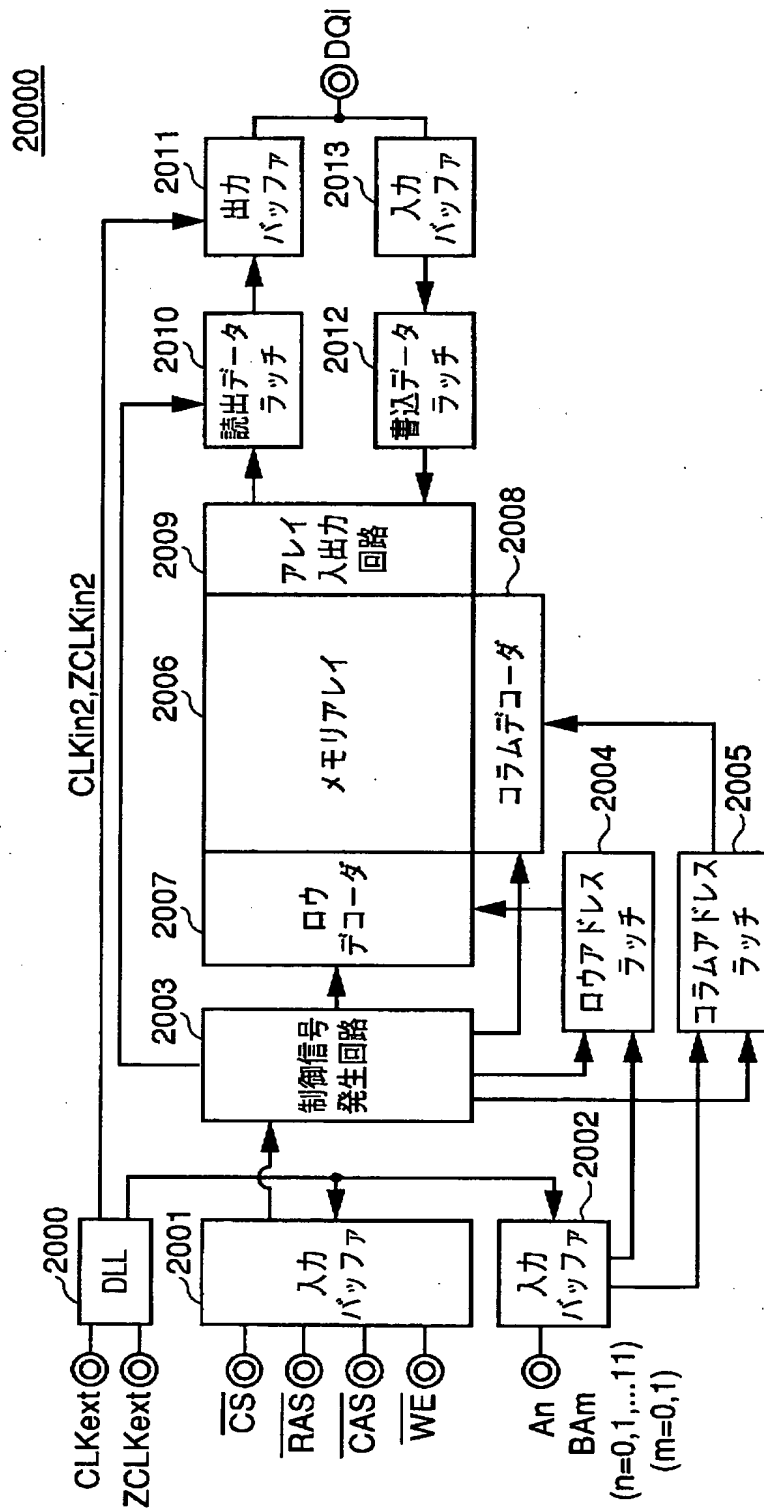
【図 1 4】



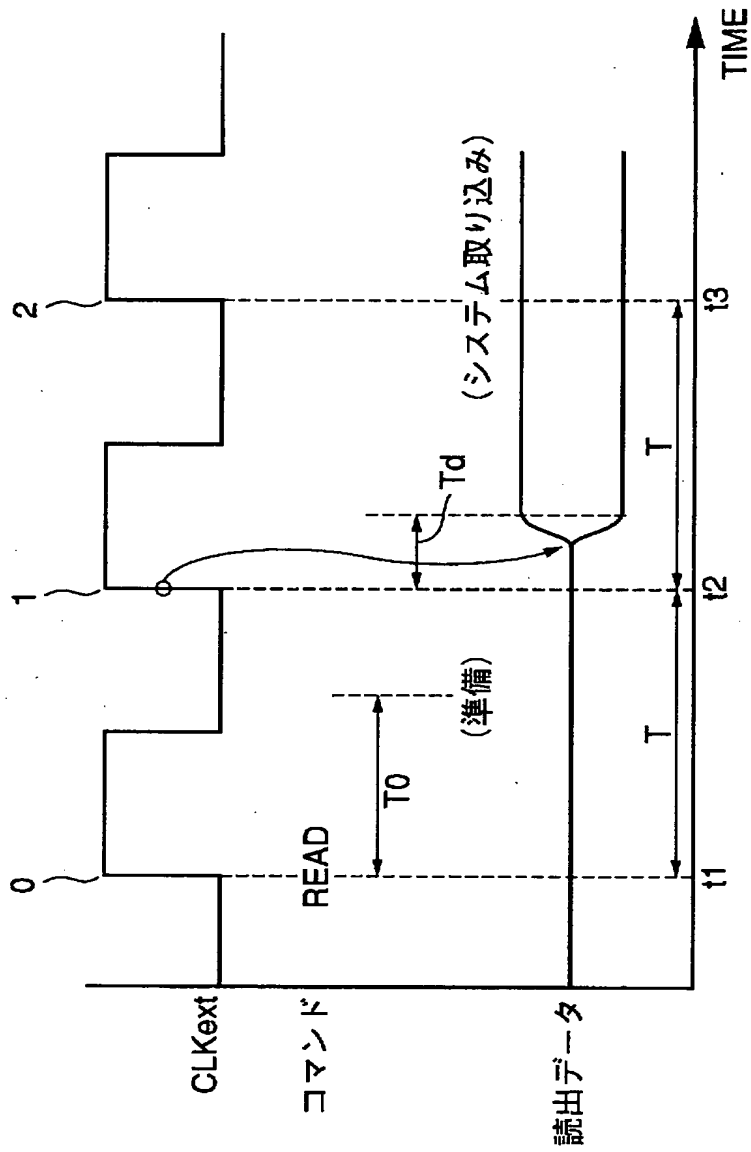
【図 1 5】



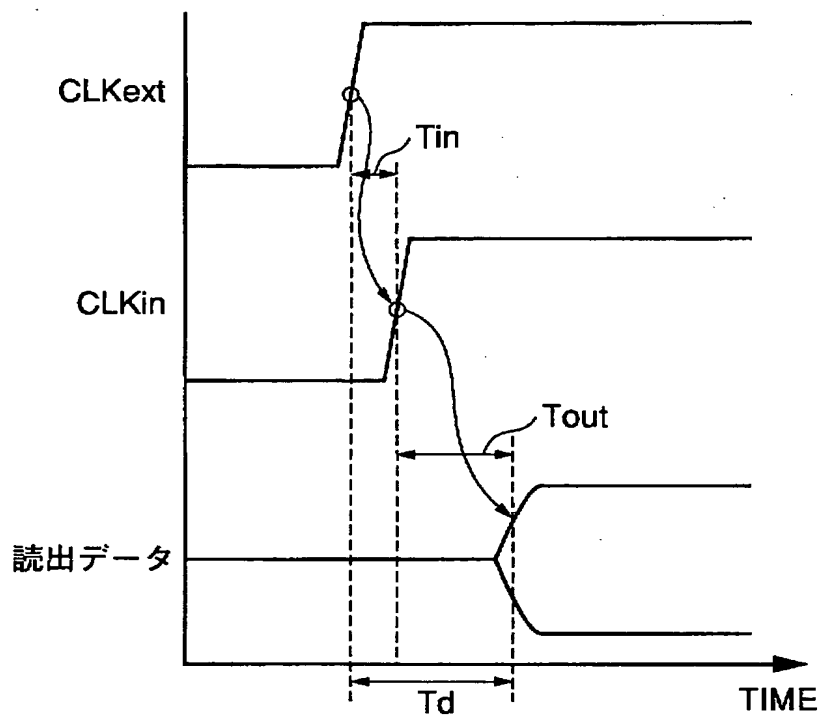
【図 1 6】



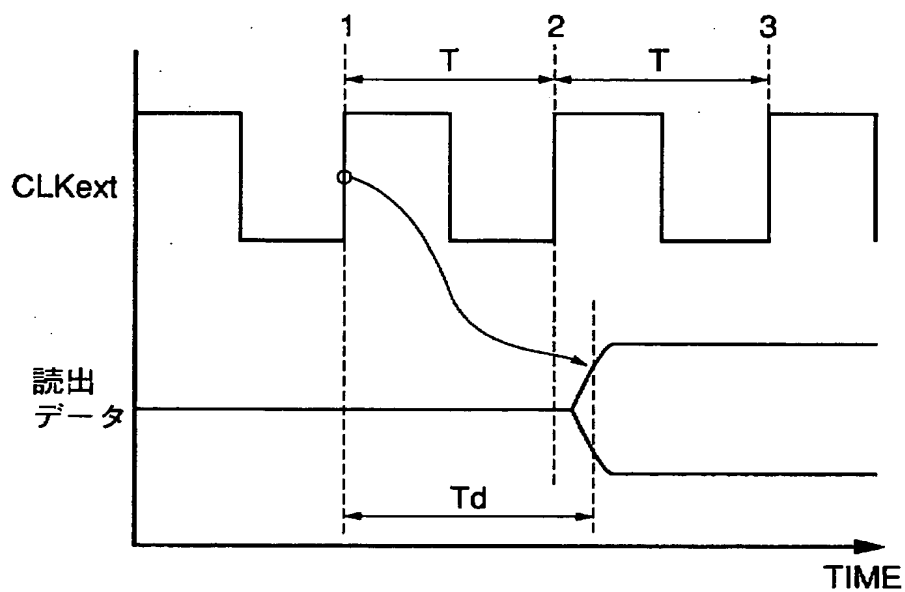
【図 1 7】



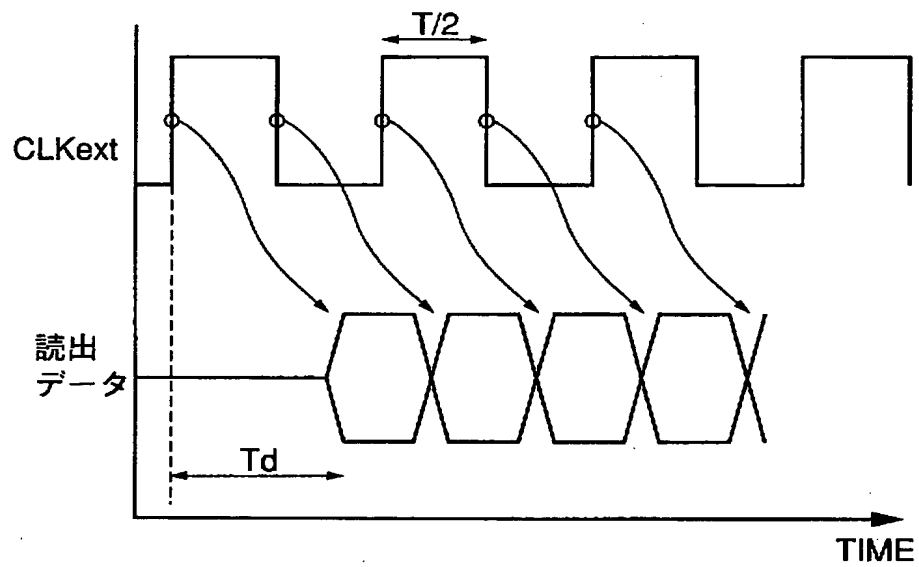
【図 1 8】



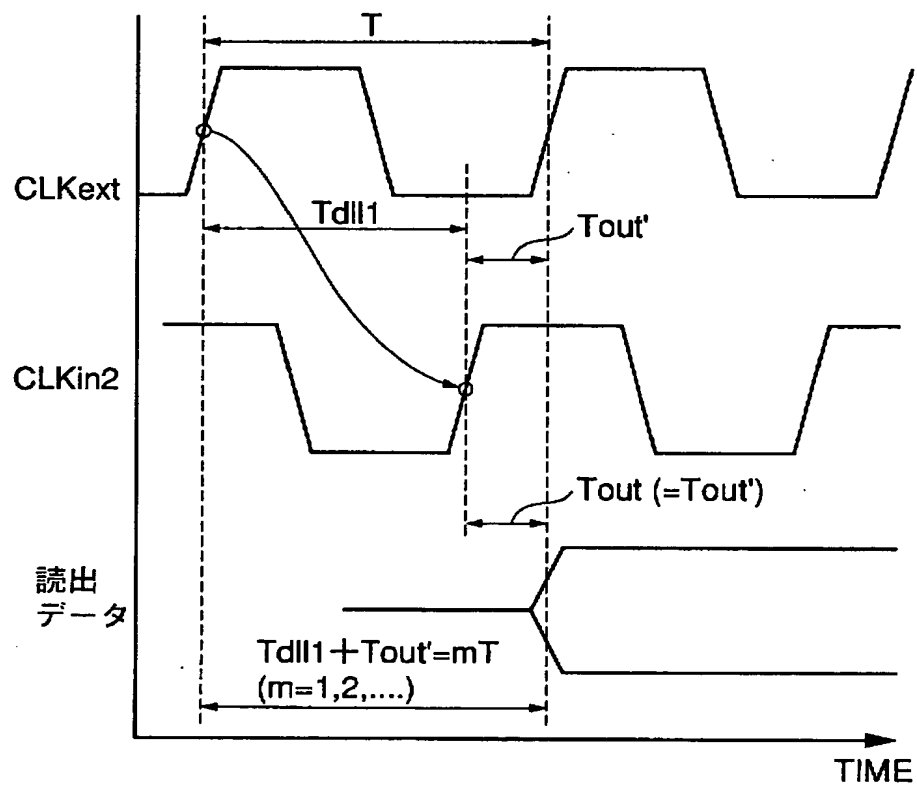
【図 1 9】



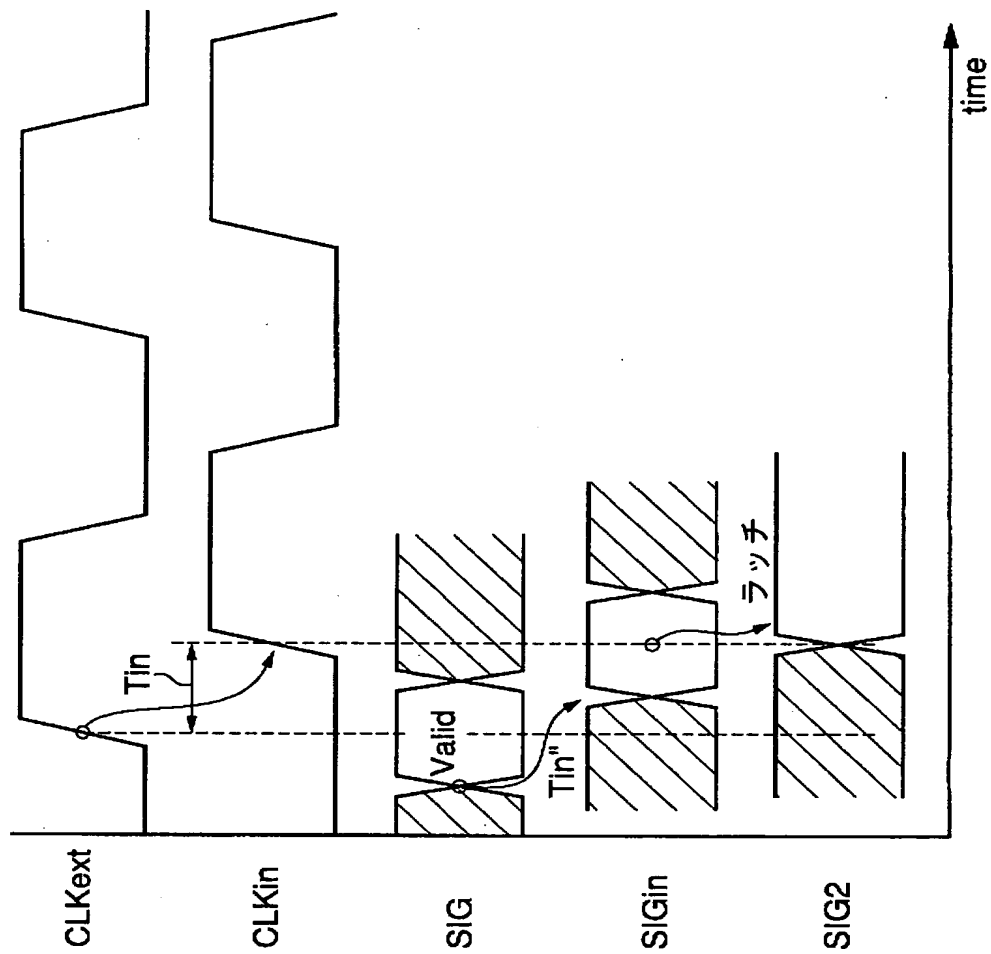
【図 2 0】



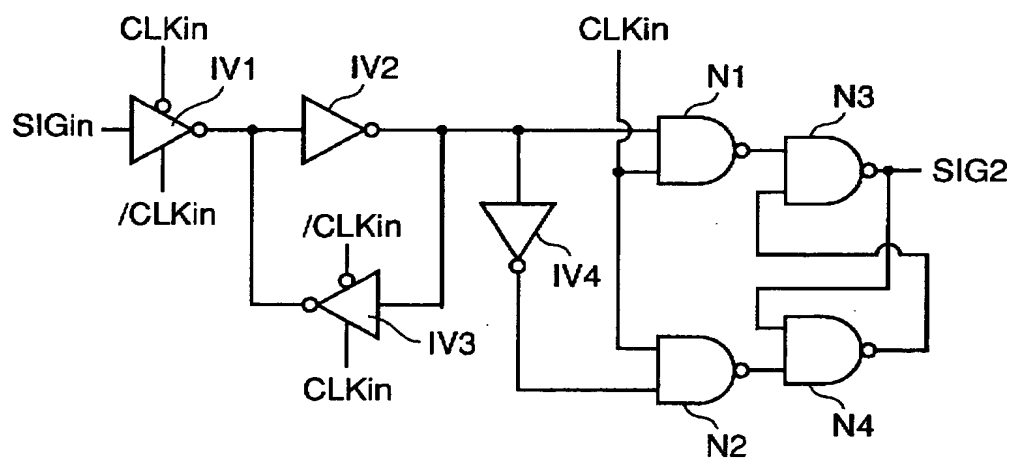
【図 2 1】



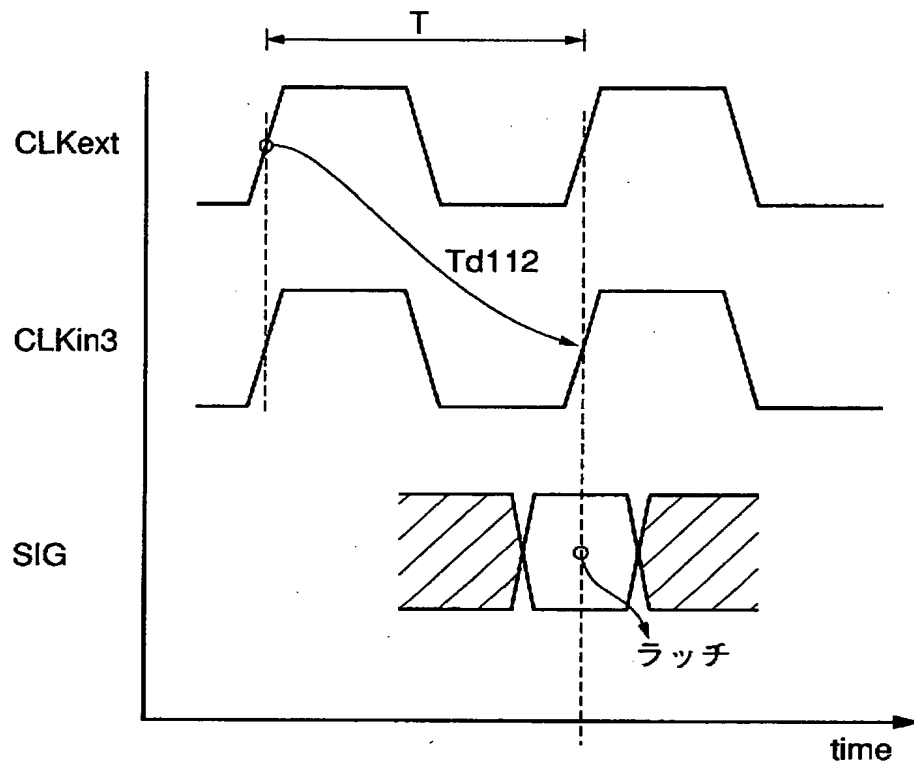
【図 2 2】



【図 2 3】

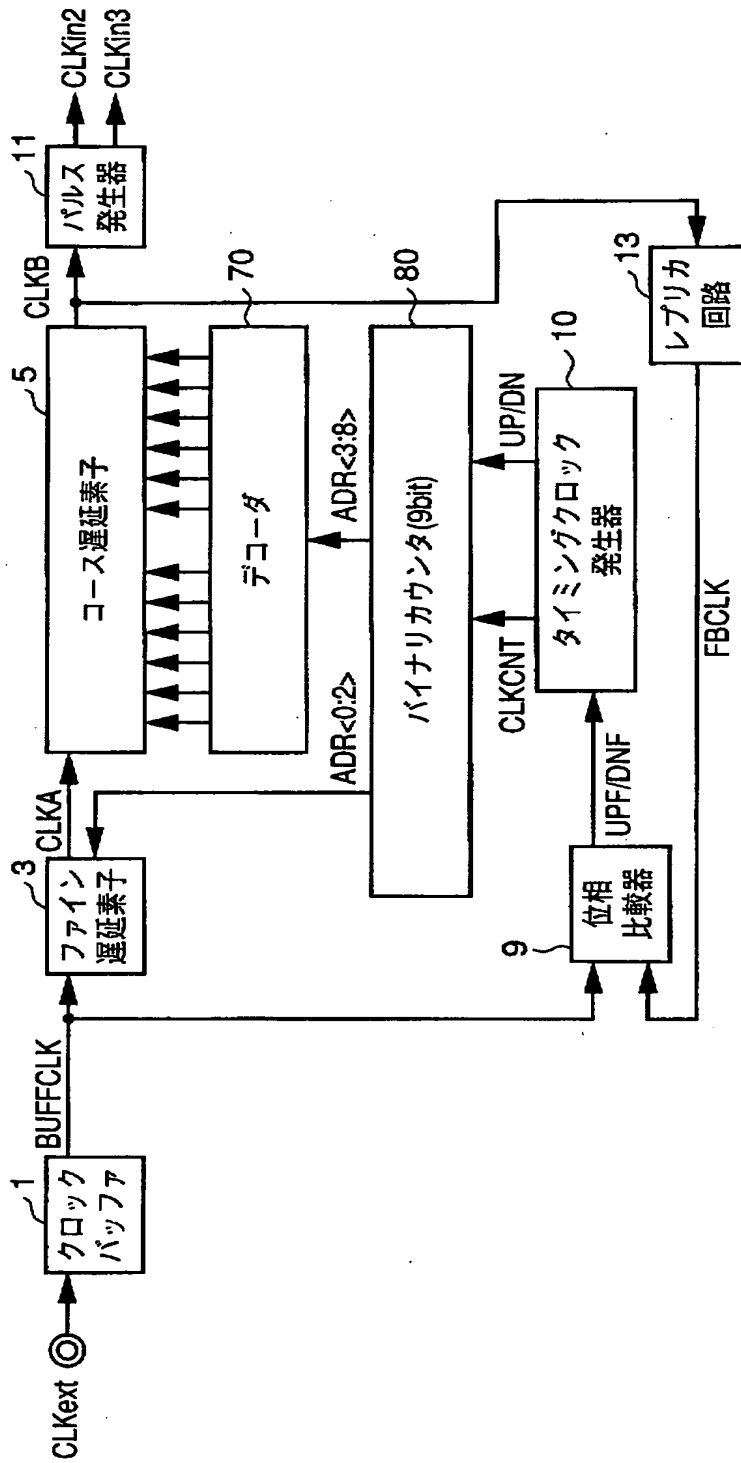


【図 2 4】

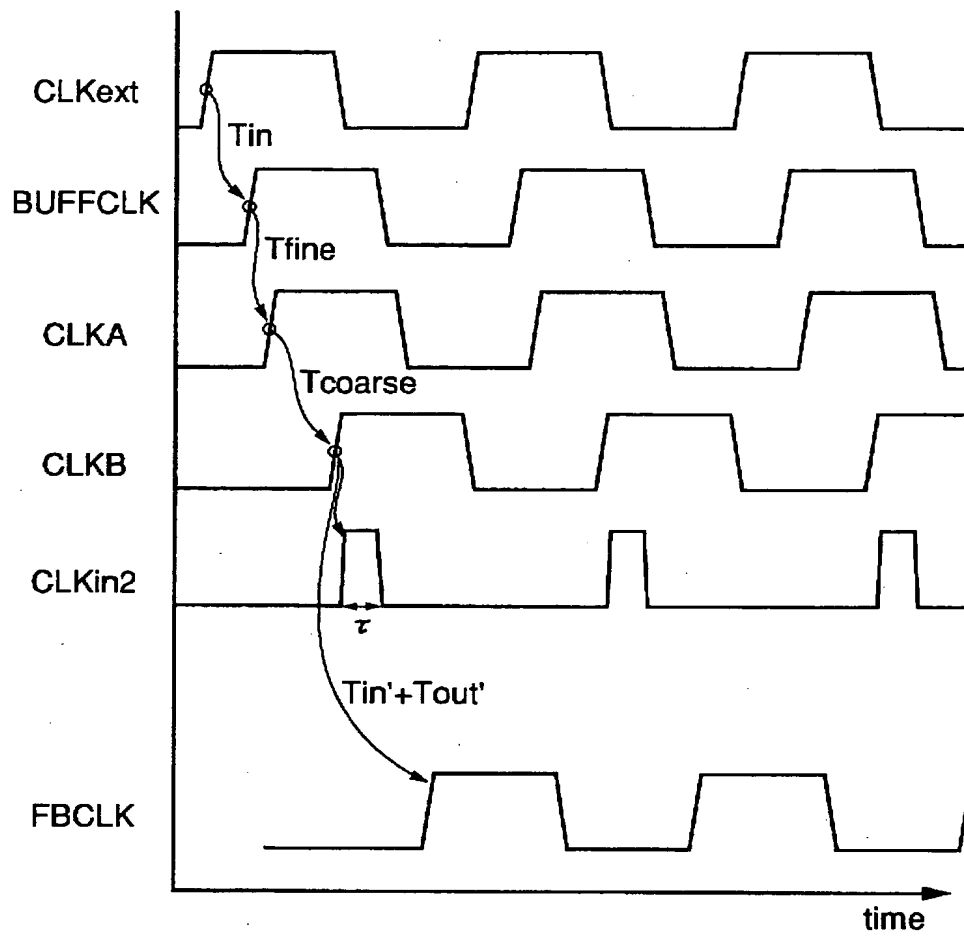


【図 2 5】

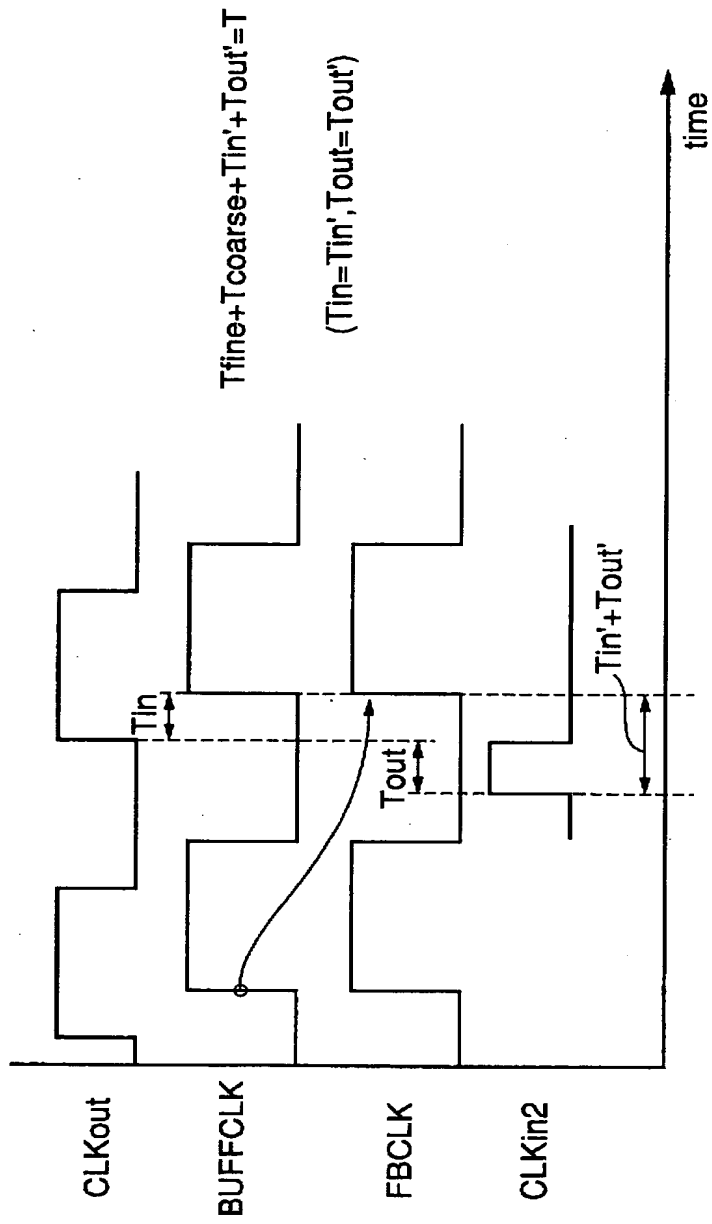
9000



【図 2 6】

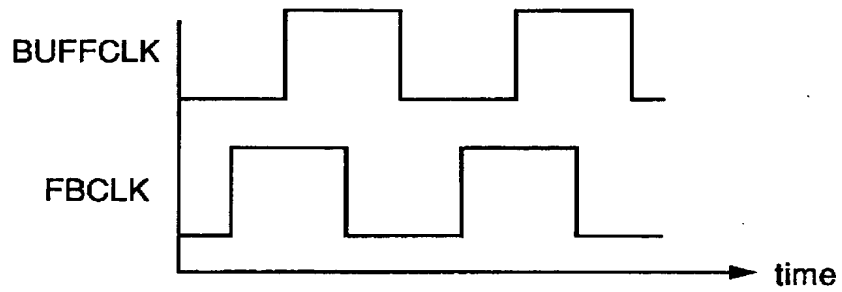


【図 2 7】

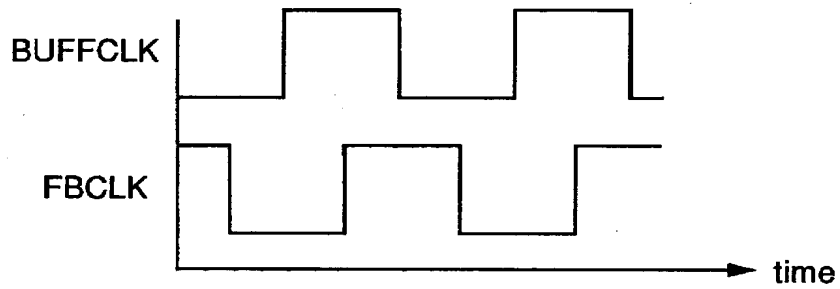


【図 2 8】

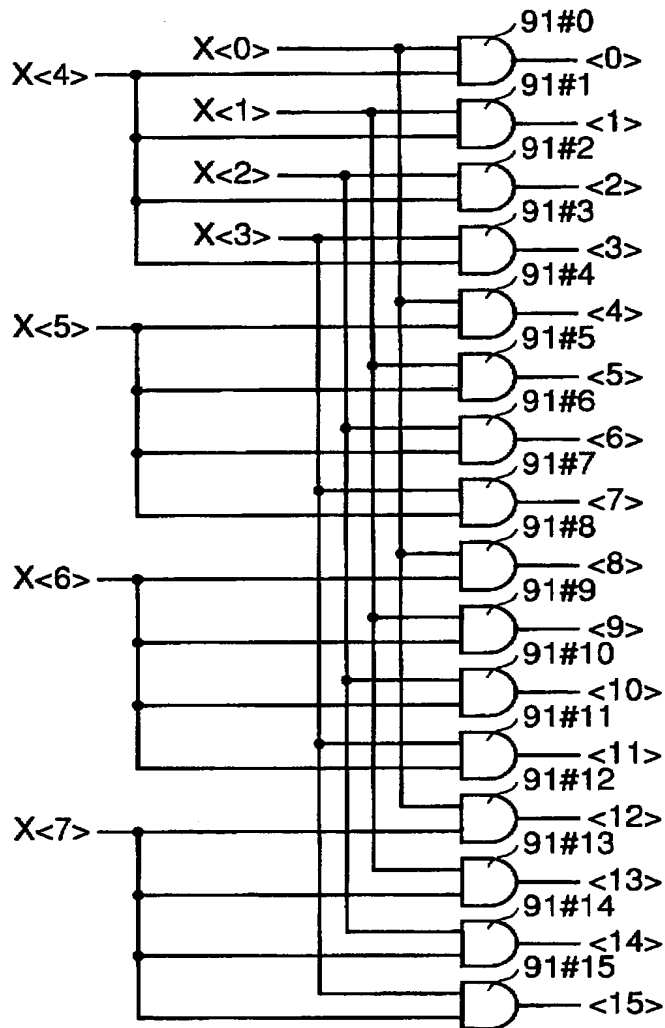
(a) アップ (UPF="H", DNF="L")



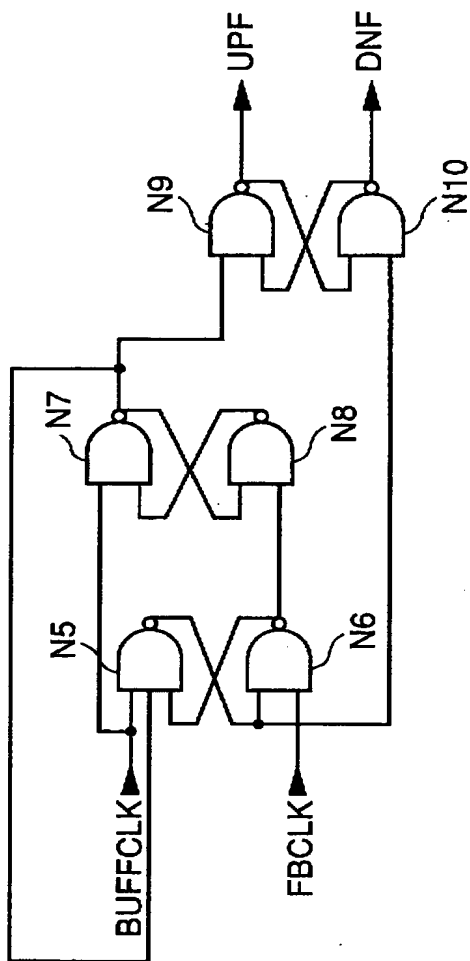
(b) ダウン (DNF="H", UPF="L")



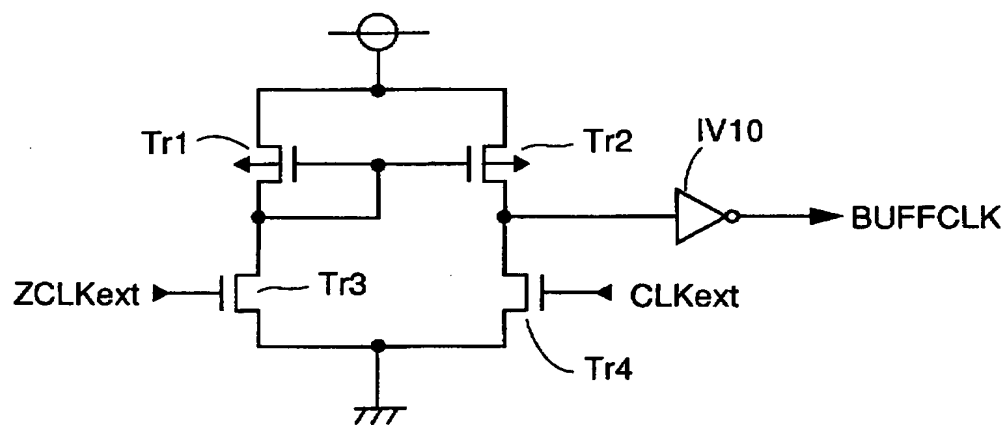
【図 2 9】



【図 3 0】

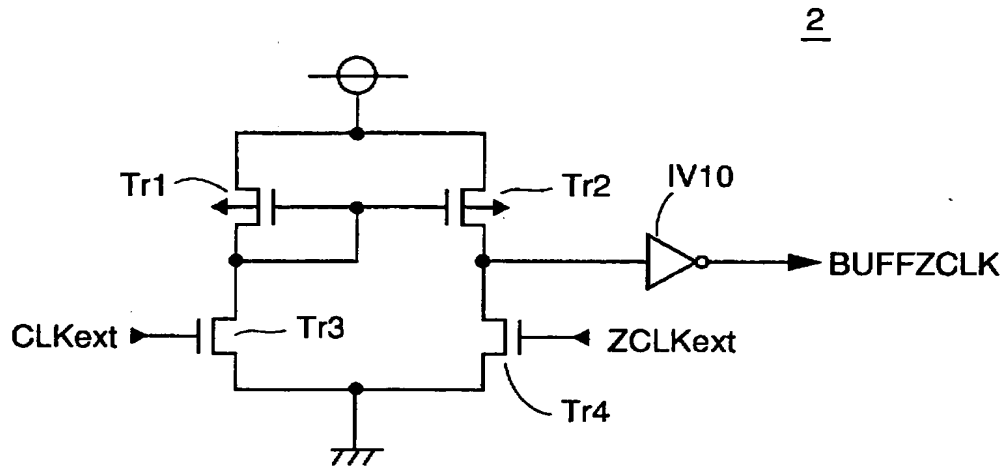


【図 3 1】

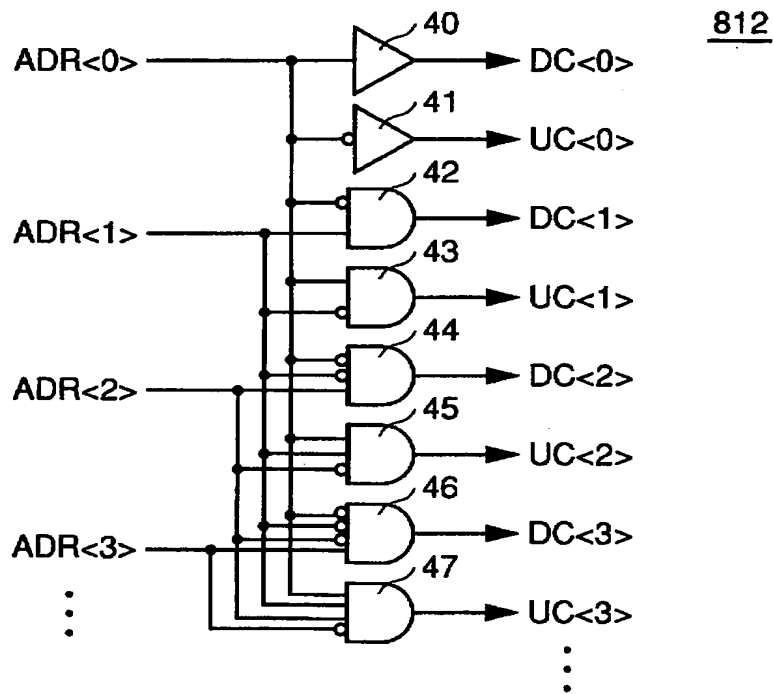


1

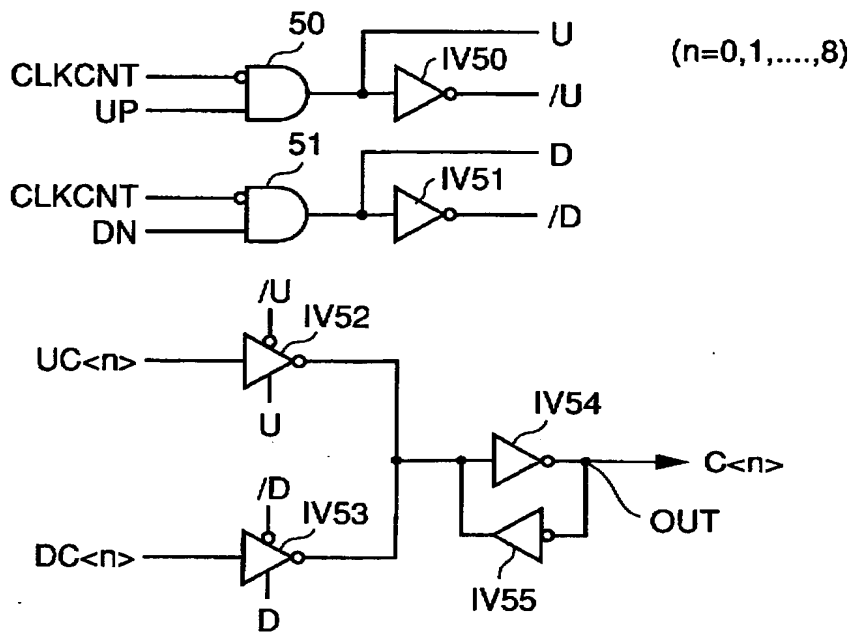
【図 3 2】



【図 3 3】



【図 3 4】



【書類名】 要約書

【要約】

【課題】 安定したクロックを発生するディレイロックドループ、当該ディレイロックドループを含む半導体装置およびクロック同期により動作するシステムのための制御方法を提供する。

【解決手段】 ディレイロックドループ（DLL）において、遅延レジスタとしてグレイコードカウンタ（グレイコード：交番符号）を用いる。これにより、キャリーを常に1ビットしかたてないようにすることで、仮にメタステーブル状態が起きても遅延時間の飛び（不連続な飛び）を最小化することができる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社